

**Conception et Implémentation d'un Système de Contrôle Thermique
Appliqué au Scanner LabPET II à Haute Performance**

**Par
Aziz Oukaira**

**Laboratoire d'Ingénierie des Microsystèmes Avancés - LIMA
Département d'Informatique et d'Ingénierie - UQO**

**Thèse présentée en vue de l'obtention du grade de PhD
En Science et Technologie de l'Information**

Juin 2020

© Aziz Oukaira, 2020

Université du Québec en Outaouais

Service de la bibliothèque

Avertissement

L'auteur de ce mémoire ou de cette thèse a autorisé l'Université du Québec en Outaouais à diffuser, à des fins non lucratives, une copie de son mémoire ou de sa thèse.

Cette diffusion n'entraîne pas une renonciation de la part de l'auteur à ses droits de propriété intellectuelle, incluant le droit d'auteur, sur ce mémoire ou cette thèse. Notamment, la reproduction ou la publication de la totalité ou d'une partie importante de ce mémoire ou de cette thèse requiert son autorisation.

*À toute ma famille et toute ma belle famille
À ma femme de m'avoir toujours aidé et soutenu
À mon fils Adam
À tous mes ami(e)s à travers le monde
À titre de reconnaissance, d'amour et d'affection.*

Résumé

Dans l'imagerie de la médecine nucléaire moderne et plus précisément dans la tomographie à émission de positrons à base de photodiodes à avalanche (PDA-TÉP), on envisage toujours à réduire l'échelle, et à augmenter la résolution spatiale et temporelle des capteurs TÉP et de l'électronique frontale (ÉF) pour les nouvelles générations comme le scanner LabPET II à Haute Performance. L'avantage visé de cette démarche est d'augmenter la qualité et la résolution de l'image médicale TÉP en 3D. Ce scanner développé à l'Université de Sherbrooke avec une collaboration de l'Université du Québec en Outaouais au niveau des aspects thermiques très critiques pour son fonctionnement, à cause du nombre très grand des ASICs et une chaîne des DSPs, le scanner LabPET II est devenu compliqué à contrôler thermiquement.

Plusieurs paramètres influencent le comportement du scanner LabPET II et rendent le contrôle thermique très difficile tels que la géométrie complexe du scanner LabPET II, le nombre élevé de sources de chaleur (864 ASICs) et la présence de phénomènes de transfert thermique (conduction, convection et rayonnement). Dans cette thèse, il y a deux objectifs pour contrôler et stabiliser thermiquement le scanner LabPET II, d'abord évacuer la chaleur pour réduire la température globale du scanner et garder la stabilité thermique du scanner LabPET II (très critique) en temps réel. La température du détecteur PDA (Photo Diode Avalanche) doit rester stable à moins de $32\text{ °C} \pm 2\%$. La problématique réside dans la structure complexe du scanner et dans le fait qu'il possède trente-six Radial Bord avec huit cent soixante-quatre ASICs au total (24 ASICs X 36 Radial Board), soit une puissance totale de 518.4 W (864 ASICs X 0.6 W). Pour assurer la stabilité thermique du scanner LabPET II, nous avons adopté une approche de conception et de développement en trois phases : quantifier le problème d'abord pour ensuite proposer une solution en respectant les contraintes spécifiques au scanner LabPET II.

Dans une première phase, nous avons proposé une nouvelle méthodologie et une approche pour vérifier la validité de la solution, avec deux techniques numériques et l'analyse de transfert thermique soit la CFD (Computational Fluid Dynamics) et HTA (Heat Transfer

Analysis) à l'aide de deux outils numériques COMSOL et NISA. Ainsi, les deux types d'analyses ont été menés : la première sans convection et la deuxième avec convection forcée en injectant de l'air frais. Nos résultats montrent qu'une méthode de convection d'air forcée est suffisamment efficace pour refroidir et stabiliser la DB et ces pixels sous certaines conditions.

Dans une deuxième phase, nous avons développé un algorithme de contrôle de la stabilité thermique pour le scanner LabPET II. Cet algorithme basé sur la technique des mesures thermiques par RO (Ring Oscillator) et des modules Pelletier TEC pour extraire l'information des caractéristiques thermiques des surfaces. La faisabilité et la performance de cette solution ont été démontrées par des simulations numériques.

Dans une troisième phase, nous avons implémenté nos résultats sur la carte FPGA, afin de valider nos techniques et méthodes développées pour les ASICs du scanner LabPET II, ensuite nous avons conçu un capteur de température RO avec la technologie CMOS en utilisant la librairie TSMC 65 nm.

Mots-clés : Scanner LabPET II, PDA-TÉP, CFD, HTA, TEC, ASIC, FPGA, RO, CMOS, TSMC 65 nm.

Abstract

In modern nuclear medicine imaging and more specifically in Positron Emission Tomography based on Avalanche Photodiodes (APD-PET), there are still plans to downscale and increase the spatial and temporal resolution of PET sensors and front-end electronics (FE) for new generations such as the High Performance LabPET II scanner. The intended benefit of this approach is to increase the quality and resolution of the 3D medical PET image. This scanner developed at the University of Sherbrooke with a collaboration of the University of Quebec in Outaouais at the level of the thermal aspects very critical for its operation, because of the very large number of ASICs and a chain of DSPs, the LabPET II scanner is become complicated to thermally control.

Several parameters influence the behaviour of the LabPET II scanner and make thermal control very difficult such as the complex geometry of the LabPET II scanner, the high number of heat sources (864 ASICs) and the presence of heat transfer phenomena (conduction, convection and radiation). In this thesis, there are two objectives to control and thermally stabilize the LabPET II scanner, first to evacuate the heat to reduce the global temperature of the scanner and to keep the thermal stability of the LabPET II scanner (very critical) in real time. The temperature of the PDA (Photo Diode Avalanche) must remain stable within $32\text{ }^{\circ}\text{C} \pm 2\%$. The problem lies in the complex structure of the scanner and in the specification that it has thirty-six Radial Board with a total of eight hundred and sixty-four ASICs (24 ASICs X 36 Radial Board), that is to say a total power of 518.4 W (864 ASICs X 0.6 W). To ensure the thermal stability of the LabPET II scanner, we adopted a three-phase design and development approach: first quantify the problem and then propose a solution within the constraints specific to the LabPET II scanner.

In a first phase, we proposed a new methodology and approach to verify the validity of the solution, using two numerical techniques and heat transfer analysis: CFD (Computational Fluid Dynamics) and HTA (Heat Transfer Analysis) using two numerical tools COMSOL and NISA. Thus, both types of analyses were carried out: the first without convection and the second with forced convection by injecting fresh air. Our results show that a forced air

convection method is efficient enough to cool and stabilize the DB and these pixels under certain conditions.

In a second phase, we developed a thermal stability control algorithm for the LabPET II scanner. This algorithm is based on the technique of thermal measurements by RO (Ring Oscillator) and Pelletier TEC modules to extract information from the thermal characteristics of surfaces. The feasibility and performance of this solution has been demonstrated by numerical simulations.

In a third phase, we implemented our results on the FPGA board, in order to validate our techniques and methods developed for the ASICs of the LabPET II scanner, then we designed a RO temperature sensor with CMOS technology using the 65 nm TSMC library.

Keywords: LabPET II Scanner, PDA-PET, CFD, HTA, TEC, ASIC, FPGA, RO, CMOS, TSMC 65 nm.

Remerciements

Je remercie Professeur **Ahmed Lakhssassi** directeur du Laboratoire LIMA (Laboratoire d'Ingénierie des Microsystèmes Avancés), pour son encadrement efficace, ses conseils, son soutien moral et assistance qui m'ont permis de délivrer cette thèse.

Je remercie aussi mon co-directeur **Shamsodin Taheri** pour son aide, conseils, et support durant ces dernières années.

Je remercie le Professeur **Fontaine Réjean** et le Directeur de Groupe de recherche en appareillage médical de Sherbrooke (GRAMS) pour l'organisation des réunions à l'université de Sherbrooke, et pour leur aide et collaboration.

Un grand merci au professeur **Emmanuel Kengne** pour son aide durant toute la période de la thèse. Un grand merci à mes amis étudiants du laboratoire LIMA.

Je remercie aussi tous les membres du jury d'avoir accepté cette noble mission d'arbitrer cette thèse.

À tous ceux et celles qui de près ou de loin m'ont permis de bien mener à terme mes recherches.

Table des matières

Résumé.....	iii
Abstract	v
Remerciements.....	vii
Table des matières	viii
Liste des tableaux.....	xiii
Liste des figures	xiv
Introduction générale	1
Chapitre 1:État de l’art	4
1.1 Problématique et objectif.....	7
1.2 Originalités	9
1.3 Méthodologie et contribution	10
Chapitre 2:Modélisation thermique.....	12
2.1 Introduction	12
2.2 Principe de transfert de la chaleur	14
2.2.1. Conduction :	14
2.2.2. Convection :	14
2.2.3. Rayonnement :	15
2.3 Analyse de la dynamique thermique par FEM	15
2.4 Développement de l’équation de la convection thermique	17
2.5 Gestion thermique par convection.....	18
2.6 Analyse numérique de transfert de la chaleur du scanner LabPET II	20
2.7 Simulation du scanner LabPET II sous l’outil COMSOL.....	21
2.7.1 Première simulation thermique du module ASIC	24
2.7.2 Simulation par la convection naturelle avec $h= 5 \text{ W.m}^{-2}.\text{K}^{-1}$	25

2.7.3 Simulation par la convection forcée avec $h= 485 \text{ W.m}^{-2}. \text{ K}^{-1}$	26
2.7.4 Confirmation de la stabilité thermique sous COMSOL.....	28
2.8 Validation des résultats numériques par l’outil NISA.....	30
2.8.1 Simulation par la convection naturelle sous NISA	30
2.8.2 Simulation par la convection forcée sous NISA	31
2.9 Simulation et implémentation FPGA	34
2.9.1 Simulation logique du code VHDL.....	34
2.9.2 Implémentation du code VHDL sur la carte FPGA	35
2.10 Résumé	37
Chapitre 3: Détection et localisation des pics thermiques	38
3.1 Introduction	38
3.2 Description de la méthode GDS adoptée.....	39
3.3 Modélisation de l’unité de localisation des pics thermiques	40
3.4 Algorithme de traitement de données provenant des capteurs RO.....	42
3.5 Simulation et implémentation FPGA	43
3.5.1 Création et simulation du code VHDL avec l’outil Modelsim	44
3.5.2 L’implémentation sur la carte FPGA	45
3.6 Test de l’efficacité de la méthode GDS (Gradient Direction Sensor).....	46
3.6.1 Simulation avec l’outil Modelsim.....	46
3.6.2 Simulation avec l’outil NCLAUNCH.....	47
3.6.3 Résultats de l’implémentation FPGA de détection des pics thermiques	48
3.7 Résumé	49
Chapitre 4: Conception physique en CMOS 65 d'un capteur de température	50
Chapitre 5: Système de contrôle et de stabilité thermique	68
5.1. Introduction	68
5.2. L’analyse thermique du scanner LabPET II avec des Pipes.....	68
5.2.1. Modélisation du scanner LabPET II avec des Pipes sous COMSOL	69
5.2.2. Analyse thermo-fluidique du scanner LabPET II sans Pipe sous COMSOL	69

5.2.3. Analyse thermo-fluidique du scanner LabPET II avec Pipe sous COMSOL	70
5.2.4. Validation des résultats trouvés avec Pipe sous COMSOL	71
5.3. Cas de l'utilisation des TECs pour le refroidissement scanner LabPET II	72
5.3.1. Technologie de refroidissement à base module Peltier	74
5.3.2. Les applications des modules avec effet Peltier	74
5.4. Extraction des mesures thermiques de l'ASIC sans TEC	76
5.4.1. Matériels utilisés pour mesurer et extraire les données sur les deux ASICs	76
5.4.2. Extraction des mesures thermiques de deux ASICs	76
5.5. Choix de l'emplacement des TECs dans le scanner LabPET II	78
5.5.1. Simulation thermique de l'ASIC sans TEC	80
5.5.2. Simulation thermique de l'ASIC avec TEC	81
5.6. Développement d'un système de contrôle de la stabilité thermique	83
5.7. Simulation et implémentation FPGA	87
5.8. Système de contrôle thermique en temps réel	90
5.9. Résumé	93
Conclusion générale	94
Discussion et travaux futurs	96
Publications dans le cadre de cette Thèse	97
Annexe A : Extraction des données sur l'ASIC avec l'outil NISA	100
Annexe B : Code VHDL de la source de chaleur et son test	104
Annexe C : Code VHDL de la méthode GDS et son test bench	105
Annexe D : Script TCL du capteur RO sous l'outil RTL	112
Annexe E : Analyse et synthèse du capteur RO sous l'outil RTL	114
Annexe F : Analyse et synthèse du capteur RO sous l'outil RTL	116
Annexe G : Placement et routage du capteur RO	118
Bibliographie	119

Liste des abréviations

ABDM: Adaptor Board Detector Module

ASIC: Application Specific Integrated Circuit

APD : Avalanche Photo Diode

BC : Boundary Conditions (Conditions aux Limites)

CFD: Computational Fluid Dynamics

CLB: Configurable Logic Blocs

CMC: Canadian Microsystem Company

CIMS : Centre Imagerie Moléculaire de Sherbrooke

DBC: Dirichlet Boundary condition

DM: Detector Module

DSP: Digital Signal Processing

EDA: Electronic Design Automation

EM : Électromagnétisme

FDM : Finite Différence Method (Méthode des Différences Finies)

FEM: Finite Element Method

FPGA: Field Programmable Gate Array

GDS: Gradient Direction Sensor

GRAMS : Groupe de Recherche en Appareillage Médical de Sherbrooke

HTA: Heat Transfer Analysis

IC: Integrated Circuit

LAIC: Large Area Integrated Circuit

LIMA: Laboratoire d'Ingénierie des Microsystèmes Avancés

MEMS: Micro ElectroMechanical System

MOS: Metal-Oxide Semiconductor

PCB: Printed Circuit Board

PET: Positron Emission Tomography

RB: Radial Board

RO: Ring Oscillator

RTL: Register Transfer Level

SIP: System in Package

SOC: System on a Chip

TEC: Thermo-Electric Cooler

TDM: Tomodensitométrie

TSMC: Taiwan Semiconductor Manufacturing Company

VHDL: Very Large-Scale Integration Circuit Hardware Description Language

VLSI: Very Large-Scale Integration

Liste des tableaux

Tableau 2.1: Les différents coefficients de convection à différents types d'analyse	19
Tableau 4.1: Variation de la fréquence en fonction du nombre d'inverseurs.....	59

Liste des figures

Figure 1.1: Dépenses du gouvernement québécois, budget 2018-2019.....	4
Figure 1.2: Le scanner LabPET II commercialisé depuis 2010.....	5
Figure 1.3: Détecteur module APD (Avalanche Photo Diode) utilisé pour LabPET II.....	6
Figure 1.4: Refroidissement du LabPET I en utilisant des pipes.....	6
Figure 2.1: Modes de transfert de la chaleur à partir du centre d'un CI.....	15
Figure 2.2: La température analogique de la convection thermique d'un ASIC.....	17
Figure 2.3: Le scanne LabPET II au complet avec ces trente-six Radial Board.....	20
Figure 2.4: Présentation du scanner LabPET II en 2 D sous COMSOL.....	21
Figure 2.5: L'évolution thermique du scanner LabPET II sous COMSOL.....	23
Figure 2.6: L'ASIC et son support APD sous COMSOL.....	24
Figure 2.7: L'évolution thermique de la première simulation d'un ASIC sous COMSOL.....	25
Figure 2.8: L'évolution thermique d'un ASIC par convection naturelle sous COMSOL.....	26
Figure 2.9: L'évolution thermique d'un ASIC par convection forcée sous COMSOL.....	27
Figure 2.10: Graphe de convection pour les deux types d'analyse naturelle et forcée.....	27
Figure 2.11: L'évolution thermique d'une seule Radial Board sous COMSOL.....	28
Figure 2.12: L'évolution thermique d'un ASIC par convection naturelle sous NISA.....	31
Figure 2.13: L'évolution thermique d'un ASIC par convection forcée sous NISA.....	32
Figure 2.14: Graphe de simulation par convection naturelle et forcée sous NISA.....	33
Figure 2.15: Résultats de la simulation thermique par convection sous l'outil Modelsim.....	34
Figure 2.16: Téléchargement de code VHDL sur l'architecture DE1 Altera cyclone V.....	35
Figure 2.17: La valeur de puissance dissipée disponible sur FPGA cyclone V.....	36
Figure 3.1: Principe de détection par GDS d'un seul capteur à base de trois RO.....	39
Figure 3.2: L'unité de détection des pics d'une source de chaleur Ts avec Simulink.....	41
Figure 3.3: Système de calcul avec Simulink/Matlab.....	41
Figure 3.4: Réponse normalisée de l'oscillateur à anneau en fonction de la température.....	42
Figure 3.5: Traitement de données sur les pics thermiques provenant des capteurs RO.....	43
Figure 3.6: Structure haut niveau du module de détection sous Quartus Prime.....	44
Figure 3.7: Résultats de simulation logique de l'unité détection des pics thermiques.....	44

Figure 3.8: Validation des résultats de Ts sur un écran LCD après implémentation.....	45
Figure 3.9: Résultats de la simulation pour un seul capteur avec l'outil Modelsim.....	46
Figure 3.10: Résultats de la simulation pour un seul capteur avec sa fréquence fs	47
Figure 3.11: Résultats des pics thermiques insérés selon [31] et la figure 3.10	48
Figure 3.12: Implémentation des pics thermiques insérer pour les trois capteurs A, B et C ..	48
Figure 4.1: Structure générale d'un oscillateur en anneau à base d'inverseurs MOS.....	52
Figure 4.2: Schéma d'un capteur thermique RO a base trois inverseurs	54
Figure 4.3: La fréquence d'oscillation du RO en fonction de la température	55
Figure 4.4: Fixation de la température dans l'environnement ADE XL de Cadence	56
Figure 4.5: Schéma d'un RO à base de trois inverseurs sous l'outil Cadence.....	56
Figure 4.6: Résultats de la fréquence du RO pour trois inverseurs.....	57
Figure 4.7: Schéma d'un RO à base de cinq inverseurs sous l'outil Cadence.....	57
Figure 4.8: Résultats de la fréquence du RO pour cinq inverseurs.....	58
Figure 4.9: Schéma d'un RO à base de sept inverseurs sous l'outil Cadence	58
Figure 4.10: Résultats de la fréquence du RO pour sept inverseurs	59
Figure 4.11: Simulation logique du capteur de température RO à base de cinq inverseurs ...	61
Figure 4.12: Simulation du capteur de température RO à base de cinq inverseurs	61
Figure 4.13: Schéma du capteur de température RO à base de cinq inverseurs	62
Figure 4.14: Circuit synthétisé du capteur RO a base des cinq inverseurs	63
Figure 4.15: Rapport du chemin critique du circuit synthétisé	63
Figure 4.16: Rapport de superficie (gauche) et de puissance (droite) du circuit synthétisé ...	64
Figure 4.17: Simulation post-synthèse du capteur RO à base de cinq inverseurs	65
Figure 5.1: Présentation du scanner LabPET II avec des pipes sous COMSOL	69
Figure 5.2: L'évolution thermique du scanner LabPET II avec un seul Pipe sous COMSOL	70
Figure 5.3: L'évolution thermique d'une seule Radial Board sous l'outil COMSOL.....	71
Figure 5.4: Le graphe de comparaison pour les deux types d'analyses avec et sans Pipe.....	72
Figure 5.5: Organigramme pour déterminer l'approche de refroidissement appropriée	73
Figure 5.6: Cellule a effet Peltier	74
Figure 5.7: Modèle a effet Peltier de type cascade, rectangulaire et circulaire	75

Figure 5.8: Banc de test thermique pour mesurer la température de deux ASICs	76
Figure 5.9: Présentation du ABDM (à gauche) avec ces deux ASICs ainsi APD (à droite) ..	77
Figure 5.10: Mesure réelle de l'évolution de la température sur deux ASICs	77
Figure 5.11: L'emplacement des trois TECs sur le scanner LabPET II	78
Figure 5.12: Distribution thermique de l'ASIC sans TEC	81
Figure 5.13: Distribution thermique de l'ASIC avec TEC	82
Figure 5.14: Distribution thermique d'une seule RB avec TEC	83
Figure 5.15.1: Modélisation thermique d'ASIC sans TEC	84
Figure 5.15.2: Modélisation thermique d'ASIC avec TEC	84
Figure 5.15.3: Système de contrôle thermique développé sous Simulink/Matlab.....	85
Figure 5.15.4: Simulation thermique de trois modules ASIC avec l'outil Simulink/Matlab...	85
Figure 5.15.5: Simulation thermique de trois modules développés.....	86
Figure 5.16: Structure RTL de l'unité de contrôle thermique avec Quartus Prime	87
Figure 5.17: Structure haut niveau de l'unité de contrôle thermique sous Quartus Prime	88
Figure 5.18: Simulation de l'unité de contrôle thermique avec l'outil Modelsim.....	88
Figure 5.19: La température maximale affichée sur FPGA à l'aide d'un séchoir	89
Figure 5.20: Schéma technique de la carte FRDM-KL26Z.....	91
Figure 5.21: Composition formelle du programme en C embarqué	91
Figure 5.22: La console d'exécution de l'algorithme temps réel proposé associé à la réponse expérimentale de la carte FRDM-KL26Z sur différents états thermiques.....	92

Introduction générale

La médecine est l'un des plus grands domaines d'intérêt dans le monde, et ce, sur plusieurs plans, qu'il s'agisse de la recherche, des applications, des équipements ou encore de la technologie médicale. Dans le but de comprendre la physiologie et les pathologies des organismes vivants de manière non invasive, l'être humain n'a cessé de chercher une meilleure représentation visuelle intelligible d'une information à caractère médical. Cette représentation doit contenir une grande quantité d'informations issues d'une multitude de mesures acquises selon un mode bien défini, afin de mieux diagnostiquer, pronostiquer et soigner. L'imagerie médicale, qui constitue un pilier important de la médecine capable de fournir une information de qualité au diagnostic, se répartit en deux catégories. La première, dite imagerie structurelle, explore l'anatomie ou la structure des organes (leur taille, leur volume, leur localisation, leur densité, la forme d'une éventuelle lésion, etc.). Elle repose sur les méthodes tomographiques basées sur les rayons X (tomodensitomètre, radiologie conventionnelle...), la résonance magnétique nucléaire comme l'imagerie par résonance magnétique, les méthodes échographiques (ultrasons), et enfin les méthodes optiques. La deuxième catégorie de l'imagerie médicale est consacrée au fonctionnement des organes (leur physiologie, leur métabolisme, etc.) dont les images sont obtenues à l'aide de méthodes très variées. Le premier scanner PET, basé sur des Photodiodes à Avalanche (PDA), a été conçu dans les années 1990 par le CIMS [1-5]. Par la suite, la collaboration entre le GRAMS et le CIMS a permis de concevoir une version améliorée et a donné naissance au scanner LabPET™ en 2002-2003. La conception de ce scanner suit l'évolution de l'électronique et des technologies des circuits intégrés, et une nouvelle génération de scanners biomédicaux TEP/TDM nommée LabPET II est en cours de conception au GRAMS.

L'électronique du LabPET-II nécessite le design d'un système de refroidissement pour le contrôle et la stabilité thermique pour ce qui est des PDA et des composantes ASIC. Présentement, les algorithmes et modèles à la base de la prédiction de la diffusion thermique dans les systèmes électroniques sont d'une importance majeure dans le domaine de la microélectronique. Le but de cette thèse est l'étude, la modélisation et le développement d'un système de contrôle thermique. Dans un premier temps nous avons utilisé la méthode des

éléments finis pour effectuer une étude d'écoulement de fluide pour le module complet LabPET II. Par ailleurs, l'évolution de l'industrie des circuits intégrés (CI) durant la dernière décennie a été tellement rapide qu'il est possible d'intégrer actuellement des systèmes complexes comme SoC (System on a Chip) et l'électronique de masse à l'imagerie médicale dans les scanners LabPET II. Cette évolution vers des niveaux d'intégration de plus en plus élevés est motivée par les besoins de disposer de systèmes de plus en plus performants. À titre d'exemple, pour les scanners fabriqués en utilisant les technologies 65 nm et moins, ces derniers dissipent une densité de puissance qui peut s'avérer supérieure à 100 Watts/cm². Cela oblige l'industrie des CI à surdimensionner les radiateurs en guise de solution. Cependant, cela a créé des nouveaux problèmes, en raison de la distribution en température liée à l'échauffement thermique causé par la densité de puissance dissipée en opération [6-12].

De ce fait, on assiste à un intérêt croissant en matière d'échauffement thermique pour donner suite à l'urgence de la situation causée par une augmentation de la densité d'intégration à grande échelle et la vitesse d'horloge des microsystèmes VLSI (Very Large Scale Integration). On sait que les cas de surchauffe sont critiques pour les CI, ceux-ci causant notamment 50 % des bris dans les microsystèmes, alors que les conséquences de l'échauffement thermique résultant de la surchauffe locale sur une zone d'un circuit à haute densité, comme les CPU et les circuits mixtes à haute vitesse, peuvent causer une panne de l'ensemble du système, tout ceci en raison du problème de synchronisation d'horloge et les paramètres d'adhésion entre les couches des circuits VLSI. De ce fait, on assiste actuellement à un besoin urgent et grandissant pour une recherche systématique sur les mécanismes de diffusion thermique et leurs caractérisations, surtout pour le contrôle dynamique en opération. Cette thèse étudie une nouvelle orientation pour la caractérisation de la dynamique thermique dans les microsystèmes VLSI à haute densité destinée aux scanners de nouvelle génération. Avec l'augmentation de la densité d'intégration et la vitesse d'horloge des microsystèmes VLSI, la gestion de la température du boîtier n'est plus suffisante pour résoudre le problème. En effet, le surchauffe crée des différentiels de température et des pics thermiques sur la surface de la puce (au niveau du silicium). Cela nécessite une compensation localisée de la température pour uniformiser sa distribution. Ces aspects deviennent des facteurs majeurs pour assurer une bonne performance

des systèmes sur puces puisqu'ils produisent un fort différentiel thermique causant un échauffement thermique critique dépassant la limite du silicium. Par conséquent, pour les microsystèmes VLSI, l'échauffement thermique en régime dynamique devient un problème majeur. L'objectif de cette thèse est de trouver une solution pour cette problématique dans le cas du scanner LabPET II pour assurer le contrôle de la température en temps réel sur les ASIC-PDA pour garantir la stabilité thermique sur leur surface.

La suite de la thèse est répartie comme suit. Le chapitre 1 expose l'état de l'art, la problématique et l'originalité du travail. Dans le chapitre 2, nous avons fait la caractérisation de la dynamique thermique du LabPET II par la méthode FEM. Au chapitre 3, Nous avons procédé à l'étude des techniques de détection de pics en analysant leur efficacité à prédire correctement la dynamique thermique. Ainsi, nous avons appliqué la méthode GDS (Gradient Direction Sensor) pour la détection des pics thermiques dans l'ASIC du scanner LabPET II. Au chapitre 4, le capteur RO de température a été conçu avec la technologie CMOS en utilisant la librairie TSMC 65 nm, qui occupe une surface en silicium très réduite. Le défi était de répondre aux spécifications du capteur RO développé, tout en tenant compte des contraintes de consommation, de la taille et du bruit. L'implémentation physique et la plateforme utilisée pour garder la stabilité thermique du scanner LabPET II à 35 °C seront présentées au chapitre 5.

Chapitre 1: État de l'art

Les années 2000 marquent un changement majeur pour le système de la santé de la société québécoise, la santé de chacun est devenue une préoccupation plus qu'importante. Selon les données du budget 2018-2019 du ministère des Finances du Québec [Ministère des Finances du Québec, 2019], le ministère de la Santé et des Services Sociaux accapare à lui seul environ 40 % du budget global du gouvernement du Québec, d'où l'importance de ce dernier (Figure 1.1).

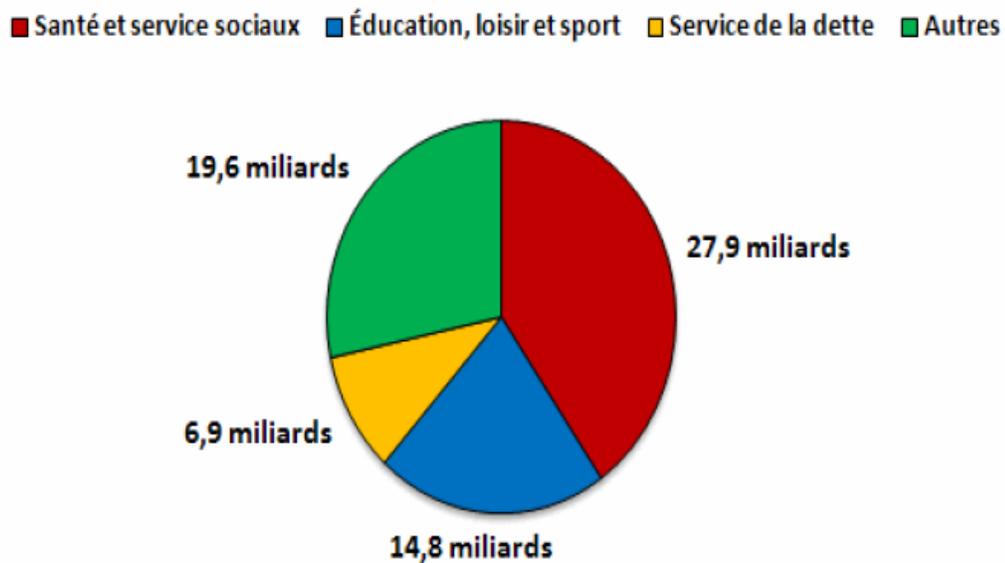


Figure 1.1: Dépenses du gouvernement québécois, budget 2018-2019.

Avec une population vieillissante, le système de santé québécois doit supporter, avec les années qui s'écoulent, un nombre grandissant de patients. Cette situation n'est pas unique au Québec. En effet, dans la grande majorité des sociétés occidentales où le niveau de vie est très élevé, il faut avoir à l'esprit qu'il y aura de moins en moins de gens pour financer les soins de santé. Dans cette optique, il est primordial que les soins soient prodigués avec la plus grande efficacité possible tout en maintenant de hauts standards de qualité. Pour atteindre ces objectifs, un scanner a été développé par le groupe de recherche en appareillage médical de Sherbrooke (GRAMS), le centre d'imagerie moléculaire de Sherbrooke (CIMS), deux laboratoires de recherche à l'Université de Sherbrooke et Gamma Medica Inc, une entreprise privée en partie issue de l'Université de Sherbrooke, travaillant ensemble à la recherche, au développement et à

la commercialisation d'appareils précliniques d'imagerie médicale, le LabPET II, qui s'avère unique en son genre. L'appareil est conçu à la base pour réaliser de l'imagerie moléculaire par TEP méthodologie. Il est également développé pour qu'il puisse un jour intégrer le mode d'imagerie anatomique TDM en utilisant l'ensemble de détecteurs et d'électronique, ce qui serait une première mondiale.

Ce chapitre présente l'état de connaissance et de recherche en lien avec cette thèse de doctorat, pour mieux cerner les différents aspects thermiques et thermoélectriques d'un côté, et d'un autre côté pour mieux connaître les différents éléments de l'unité de contrôle thermique intégrée appliquée aux nouveaux scanners tels que le LabPET II. Le premier scanner TEP (PET en anglais), basé sur des Photo Diodes à Avalanche (PDA), a été conçu dans les années 1990 par le CIMS [13]. La conception de ce scanner suit l'évolution de l'électronique, des technologies des circuits intégrés, et une nouvelle génération de scanner biomédicaux TEP/TDM nommée LabPET II est en cours de conception au GRAMS. Ce futur scanner, utilisé pour l'examen des petits animaux, permettra d'étudier les cancers et les maladies neurones génératifs en améliorant la qualité des images fournies et le diagnostic clinique. Le scanner LabPET II prévoit briser la résolution spatiale sous-millimétrique carré [14]. Le scanner LabPET II [15-16] est un scanner dédié à la recherche sur les petits animaux en médecine nucléaire (voir Figure 1.2). La Figure 1.2 représente le premier scanner TEP à base PDA qui a été commercialisé [17].



Figure 1.2: Le scanner LabPET II commercialisé depuis 2010.

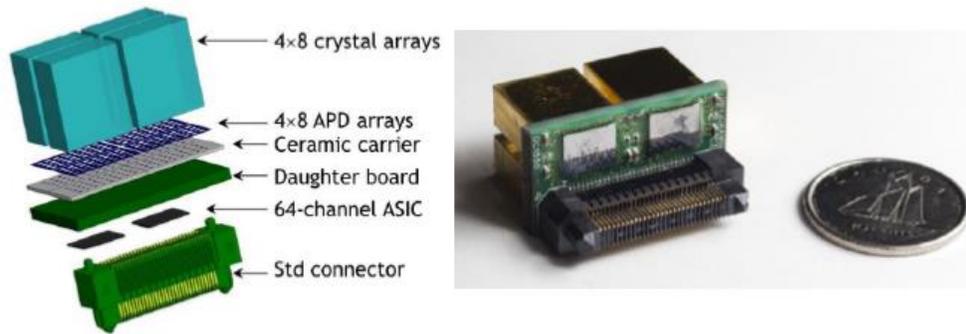


Figure 1.3: Détecteur module APD (Avalanche Photo Diode) utilisé pour LabPET II.

Le mauvais contrôle de la température ou un contrôle non-approprié peut causer des dommages dans les circuits électroniques tels que la dégradation de leurs performances et l’allongement du cycle thermique. Des études montrent que la fiabilité des pipes (Figure 1.4) est diminuée d’environ 10 % pour chaque élévation d’une température de 2 °C par rapport à la température maximale du scanner LabPET I. Cependant, la problématique thermique, généralement mentionnée comme la gestion thermique, n’est pas bien maîtrisée par la plupart des ingénieurs qui se contentent de refroidir simplement le système comme action sans évaluer l’impact localisé des pics thermiques.

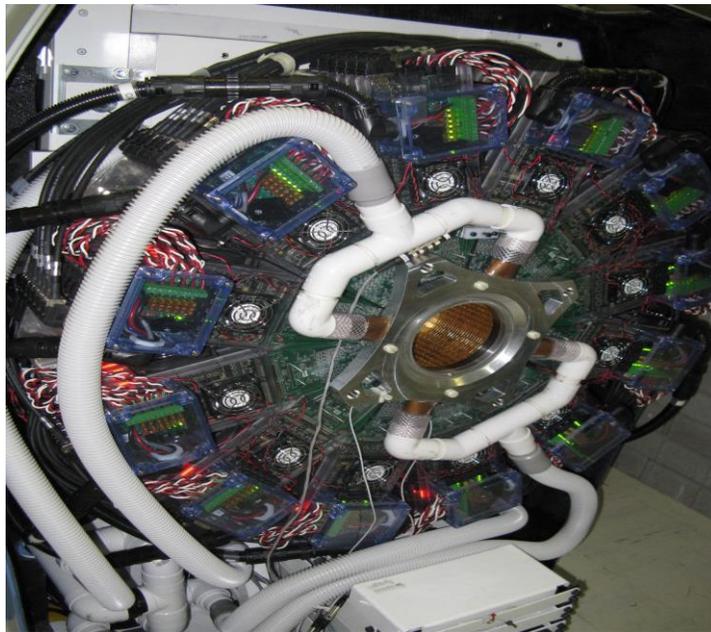


Figure 1.4: Refroidissement du LabPET I en utilisant des pipes.

L'injection en soufflant de l'air frais est la seule technique utilisée avant pour le refroidissement du LabPET I, vu ses avantages : simple à réaliser et refroidissement rapide. Cependant, les variations temporelles de l'écoulement de l'air occasionnent de l'instabilité thermique au niveau des APD, ASIC et RB, donc la précision des mesures est grandement affectée.

1.1 Problématique et objectif

La nouvelle technique de conception du scanner LabPET II, basée sur des ASICs, a été conçue. Ce dernier contient 64 canaux d'électronique analogique frontale, assurant une acquisition et un traitement rapide des signaux. Ce scanner nécessite une grande précision sur le plan de la stabilité thermique afin d'assurer un maximum rapport signal sur bruit, alors que la surveillance de la température est nécessaire pour un meilleur fonctionnement de l'ASIC, surtout que le gain des PDA varie de $32\text{ °C} \pm 2\%$, ceci exerce une très forte pression sur la stabilisation en température du système LabPET II. Plusieurs paramètres influencent le scanner LabPET II et rendent le contrôle thermique difficile :

- La géométrie complexe du scanner LabPET II ;
- Plusieurs sources de chaleur (864 ASICs) ;
- L'auto-échauffement des dispositifs actifs et passifs du scanner LabPET II qui affecte le fonctionnement des ASICs ;
- Présence de plusieurs phénomènes de transfert thermique (conduction, convection et rayonnement).

La problématique nécessite le développement d'une nouvelle approche pour la caractérisation de l'écoulement de chaleur incluant la dynamique thermique des microsystèmes VLSI destinés aux scanners LabPET II pour le contrôle de la température. Au cours du développement et de la conception des circuits intégrés, l'aspect thermique s'avère crucial à leur bon fonctionnement. Le problème de la surchauffe des composantes électroniques demeure un obstacle majeur pour les performances les plus recherchées des systèmes électroniques et surtout dans le cas des microsystèmes intégrés sur puce, soit : l'augmentation de la vitesse d'opération et la miniaturisation des composants. Dans les deux cas, cela se traduit par une augmentation de

la température des composants électroniques causée respectivement par l'accumulation d'un résidu thermique d'un cycle à l'autre et l'augmentation de la densité de puissance dissipée. La chaleur est une conséquence inévitable de chaque dispositif électronique, qui doit être réduite au minimum. La problématique thermique, généralement mentionnée comme la gestion thermique, n'est pas bien maîtrisée par la plupart des ingénieurs, hormis le praticien régulier dédié à cette tâche.

Malgré le développement énorme réalisé avec toutes les innovations en hardware et en software pour le scanner LabPET, il reste encore des problèmes de stabilité thermique qui empêchent d'obtenir de meilleurs résultats, notamment l'évacuation de la chaleur pour réduire la température globale du scanner LabPET II pour garder sa stabilité thermique qui demeure très critique. Les résultats et contributions dans cette thèse seront alors généralisés aux microsystemes pour créer une nouvelle méthode de caractérisation de la dynamique thermique dans les microsystemes intégrés à haute densité. Cette thèse a d'abord permis de faire la conception et le développement d'une unité de prédiction thermique et une méthodologie de monitoring des pics thermiques pour les scanners de nouvelle génération tels que le LabPET II.

D'autres objectifs ont été fixés tels que la modélisation et la conception d'un capteur RO qui permet de contrôler et de garder la stabilité thermique pour le scanner LabPET II (système complexe multi-sources de chaleur). Dans cette optique, nous allons jauger le niveau de l'échauffement thermique en régime dynamique pour le scanner LabPET II à l'aide des étapes suivantes :

- Valider la technique de caractérisation de la dynamique thermique en opération en tenant compte de l'échauffement thermique localisé ;
- Développer et modéliser l'équation de la source de chaleur T_s pour la détection des pics thermiques en s'inspirant des techniques de GDS et de son étalonnage sur le modèle du circuit ASIC et le test avec la méthode FEM ;
- Analyser et établir une configuration d'un réseau de cellules basé sur des RO (Ring Oscillator) afin de refléter la dynamique thermique sur la grandeur de l'ASIC ;
- Conception d'un capteur RO pour le contrôle thermique en technologie CMOS 65 nm, en utilisant la librairie TSMC par l'entremise de CMC.

Pour réaliser ces étapes, trois solutions originales permettant d'intervenir en cas de surchauffe sont proposées, en particulier la surveillance de l'état du scanner, le forçage du refroidissement du système électronique et apporter au besoin les compensations nécessaires sur les mesures.

1.2 Originalités

Le sujet de thèse est original et d'actualité. Il répond à un besoin réel dans le domaine de la gestion thermique, c'est-à-dire le contrôle dans les systèmes électronique complexes comme le scanner LabPET II de l'Université de Sherbrooke. La problématique de la stabilité thermique dans le scanner LabPET au niveau des pixels et des ASICs est très importante pour assurer la haute performance dans les PDA-TÉP. Le but, dans le cas du scanner LabPET-II, est de modéliser le transfert de chaleur pour la sélection appropriée de la méthode de détection localisée de la température et la proposition d'une méthode de refroidissement pour la stabilité thermique dans ce genre de systèmes complexes.

Le résultat du travail sera appliqué à la conception de différentes parties du scanner LabPET II utilisé en biomédical, notamment pour la détection des cellules cancéreuses. Cette étude va donc permettre aux ingénieurs et aux chercheurs du domaine de l'électronique de tester le fonctionnement du système en conception, de vérifier la compatibilité thermique entre ces différents composants, ainsi que d'améliorer les performances des systèmes complexes comme le scanner LabPET II en apportant des modifications aux composants ou bien au schéma d'interconnexion du système. En outre, les différentes simulations permettront de valider les analyses et les résultats obtenus par les outils de modélisation sur le prototype et de passer à la fabrication avec plus de certitude. Un autre point important lié à cette thèse est le nombre d'inventions et d'idées créatives traduites par le nombre de brevets industriels réalisés par GRAM (Groupe de recherche en appareillage médical de Sherbrooke) et CIMS (Centre d'Imagerie moléculaire de Sherbrooke). Trente-trois brevets d'invention correspondent à ce sujet de recherche du Scanner LabPET II et comprennent plusieurs domaines : l'électronique, le DSP (Digital Signal Processing), les communications et les architectures, l'informatique et

les logiciels, la mécanique et la thermique. Cela démontre la richesse, la qualité, et l'intérêt des travaux de recherches menés dans le cadre de cette thèse.

La structure complexe du scanner labPET II (le fait qu'il possède trente-six Radial Bord avec huit cent soixante-quatre ASICs) au total (24 ASICs X 36 Radial Board), soit une puissance totale de 518.4 W (864 ASICs X 0.6 W). Rend notre sujet de thèse différent par rapport les travaux existants, tels que LabPET I, Les chercheurs ont notamment planté et injecter en soufflant de l'air frais (c'est la seule technique utilisée pour le refroidissement du LabPET I), vu ses avantages : simple à réaliser et refroidissement rapide.

1.3 Méthodologie et contribution

Les activités de recherche dans le cadre de cette thèse couvrent plusieurs aspects, dont la caractérisation de la dynamique thermique et la conception d'un capteur de contrôle distribué servant au contrôle du transfert de chaleur dans le scanner LabPET II, dans le but de stabiliser et de contrôler la température dans ses différentes parties. Par conséquent, une méthodologie de contrôle permettant de garder une stabilité thermique sur les ASICs est développée. Il s'agit de la seule façon de pouvoir contrôler et minimiser l'échauffement thermique dans les circuits à haute densité destinés aux scanners de la nouvelle génération comme le LabPET II. Par la suite, l'interprétation des données est effectuée par un algorithme développé sous Simulink/Matlab qui permet de cibler, au besoin, et de localiser les pics thermiques dans le scanner. En outre, pour la stabilisation thermique, le développement d'une unité de contrôle intégrée sera réalisé afin de réduire les échauffements et les différentielles thermiques. Cette méthodologie demeure une solution unique pour augmenter la fiabilité des systèmes sensibles comme les scanners de la nouvelle génération. Dans cette thèse les contributions développées pour qu'un système complexe comme le scanner LabPET II soit performant et stable thermiquement seront présentées comme suit :

- La caractérisation de la dynamique thermique ;
- La modélisation de l'équation de la source de chaleur T_s pour la détection des pics thermiques en s'inspirant des techniques de GDS ;

- Le contrôle de la stabilité thermique du scanner LabPET II, tout au long du traitement ;
- La validation des résultats sur la carte FPGA ;
- La validation expérimentale des mesures de chaque ASIC du LabPET II en utilisant les simulations par éléments finis à l'aide des simulateurs tels que NISA et COMSOL ;
- La conception d'un capteur RO à base de cinq inverseurs (selon les résultats trouver par éléments finis), pour le contrôle thermique en technologie CMOS 65 nm.

Chapitre 2: Modélisation thermique

2.1 Introduction

L'objectif de la modélisation thermique est de disposer d'une cartographie de la distribution de la température dans l'enceinte du scanner et d'étudier le modèle thermique préétabli par l'outil de l'analyse, ainsi que d'extraire les paramètres thermiques de la structure étudiée. L'analyse thermique utilisée est basée sur la méthode CFD (Computational Fluid Dynamics) qui est une des branches de la mécanique des fluides et utilise des méthodes numériques et algorithmes pour analyser et résoudre les problèmes qui concernent l'écoulement de fluide. Cette méthode qui a fait ses débuts dans les années 1970 consiste à étudier les mouvements d'un fluide et d'analyser numériquement le passage des flux primaires ou leurs effets par la résolution numérique des équations régissant le fluide [18]. La procédure des outils basés sur la méthode CFD telle que montrée dans [19-21] peut être résumée comme suit : l'utilisateur de l'outil doit définir la géométrie de sa structure, par la suite le volume du fluide doit être défini, celui-ci va être devisé sous plusieurs cellules discrètes ou des mailles. Une fois que ceci est fait, le modèle physique et les conditions aux limites doivent être définies par la spécification des propriétés physiques de la structure et définir le comportement du fluide.

Il existe deux types d'analyse : une analyse au régime transitoire et une analyse au régime permanent. Les conditions initiales (fixées à 25 °C) du problème doivent être définies dans le cas d'une analyse au régime transitoire. Dès que la simulation est lancée, l'outil établit des solutions itératives selon le régime choisi (transitoire ou permanent). Finalement, le post processeur se charge d'illustrer et de visualiser les résultats de la simulation sous forme de tableaux ou de figures. Par ailleurs, la méthode CFD peut s'avérer très coûteuse en termes de ressources informatiques utilisées pour effectuer des millions d'opérations de calculs dans le but de résoudre les équations aux dérivées partielles, ce qui nécessite d'établir des approximations qui sont en général le résultat d'un compromis en termes de besoins de représentation physique par rapport aux ressources de calcul ou de modélisation disponibles, comme cela est montré par Turbo mach et al. Dans [22]. Dans le domaine de la recherche, cette approche a fait l'objet d'un effort important, car elle permet l'accès à toutes les informations

instantanées (vitesse, pression, concentration) pour chaque point du domaine de calcul pour un coût global généralement faible par rapport aux coûts d'une expérience et d'un essai pratique qui demande la réalisation d'un prototype. Le but de l'utilisation de la CFD est de pouvoir valider le modèle de conception pour le refroidissement et la stabilité. En résumé, de manière générale, la résolution d'un problème de CFD passe par trois grandes phases telles qu'identifiées par Bubak dans [23] :

La préparation et la définition du problème : il s'agit de la définition de la géométrie et du volume du fluide de la structure, la définition d'un maillage discrétisant le domaine de calcul et du choix des modèles et méthodes numériques employés. La résolution numérique du problème passe par différentes étapes, dont la modélisation des équations thermique à l'aide d'un outil d'analyse et de simulation thermique, ensuite l'exploitation des résultats trouvés : ces derniers sont examinés pour extraire les réponses aux questions posées pendant la définition du problème. Il existe plusieurs outils d'analyse thermique actuellement qui utilisent la méthode CFD, parmi lesquels on peut citer : COMSOL qui est un outil plus orienté dans la conception multiphysique, notamment la sélection des paramètres de refroidissements, et NISA qui est un outil d'analyse thermique en transitoire permettant de caractériser la dynamique thermique. Ces deux outils ont été utilisés durant l'étude dans le cadre de cette thèse dans le laboratoire « LIMA, Laboratoire d'Ingénierie des Microsystèmes avancés » à l'Université du Québec en Outaouais.

Comme la conception d'un microsysteme fiable et performant nécessite le recours à une étude thermique aux particularités géométriques et structurelles, le choix des deux outils COMSOL et NISA cités ci-dessus était nécessaire. En effet, en plus de l'étude du modèle thermique, on s'est concentré également, durant l'exécution des étapes de conception thermique, sur l'évacuation de la chaleur résiduelle qui est une partie importante de la caractérisation thermique. Dans le cas d'un ASIC, la température de l'ensemble doit rester en dessous de la température maximale d'opération qui, en fait, représente une barrière difficile à respecter dans le cas des microsystèmes à haute densité de puissance. Ainsi, notre approche pour la caractérisation de la dynamique thermique permet d'aider la conception et le contrôle de la stabilité thermique du scanner dès le premier pas de sa conception afin de passer le test thermique et les exigences de fonctionnement. L'analyse dans ce chapitre a permis de mieux

comprendre les différentes parties de la thèse, de connaître les différentes composantes du scanner LabPET II telles que l'ASIC et de comprendre leurs fonctionnements et leurs besoins, notamment les trente-six RB (Radial Board) et quatre cent trente-deux languettes du scanner, chaque languette contenant deux ASICs, tout en sachant que chaque ASIC dissipe 0.6 watt. Ces éléments permettent de comprendre la problématique et de définir les objectifs de la présente thèse.

2.2 Principe de transfert de la chaleur

Il existe trois principes connus pour le transfert de la chaleur [24]. Ces principes permettent de décrire séparément les trois modes de transfert thermique en régime établi :

2.2.1. Conduction :

La conduction est caractérisée par une transmission de la chaleur dans la matière entre deux points de différente température sans déplacement de matière. La loi de Fourier exprime la proportionnalité entre la cause, c'est-à-dire le gradient de température dT/dx et l'effet, soit le flux de chaleur P .

$$P = -k \cdot S \cdot \frac{dT}{dx} \quad (2.1)$$

Avec P qui est le flux de la chaleur [W/m^2] à la longueur de l'axe des x , k représente la conductivité thermique du matériau et S la surface à travers laquelle s'effectue le transfert de chaleur par conduction.

2.2.2. Convection :

Les transferts thermiques par convection, que ce soit naturel ou forcé, ont pour origine les mouvements d'un fluide ; ils sont décrits par la loi de Newton.

$$P = h \cdot S \cdot \Delta T \quad (2.2)$$

Avec P qui est le flux de la chaleur [W/m^2], h représente le coefficient d'échange par convection, S la surface d'échange et ΔT est la température de la surface en ($^{\circ}\text{C}$).

2.2.3. Rayonnement :

Dans ce cas, le transfert thermique s'effectue sous la forme d'un rayonnement électromagnétique (principalement dans le visible et l'infrarouge). Le flux échangé entre deux éléments, conformément à la loi de Stefan-Boltzmann, s'écrit :

$$P = \varepsilon_{12} \cdot \sigma \cdot S \cdot (T_1^4 - T_2^4) \quad (2.3)$$

T_1 et T_2 correspondent aux températures des deux éléments considérés, ε_{12} est l'émissivité équivalente et σ une constante.

Pour les CI sur la surface de chaque ASIC du scanner LabPET II, la figure 2.1 montre les modes de transfert de la chaleur impliquée à partir du noyau d'un CI.

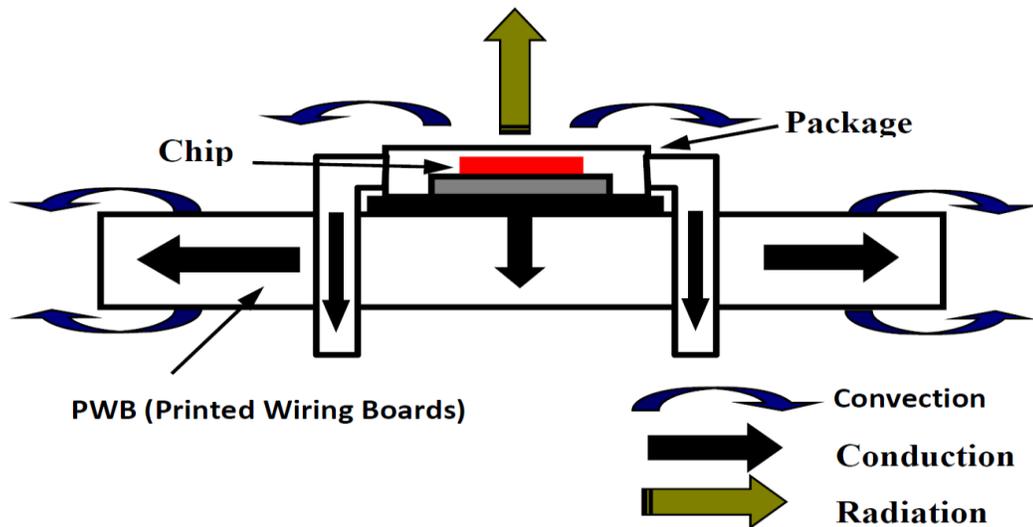


Figure 2.1: Modes de transfert de la chaleur à partir du centre d'un CI.

2.3 Analyse de la dynamique thermique par FEM

Il s'agit dans cette première étape de procéder à une caractérisation complète de la dynamique thermique de chaque ASIC du LabPET II, la caractérisation étant basée sur deux

techniques numériques, soit la CFD (Computational Fluid Dynamics) et HTA (Heat Transfer Analysis) [25]. La technique de CFD, qui tient déjà compte de la force du mécanisme transfert de chaleur spécifique à l'ASICs et des propriétés physiques, s'articulera avec l'aspect temporel et spatial de la HTA pour traiter les conditions aux limites et la distribution de la température en régime dynamique. Par conséquent, la distribution de la température sur la surface de chaque ASIC du LabPET II servira à la prédiction de l'échauffement thermique localisée aux emplacements des capteurs. C'est ainsi que notre approche sera guidée pour la caractérisation de la dynamique thermique représentant l'état de l'échauffement.

L'analyse thermique par la méthode des éléments finis représente l'une des méthodes de simulation numérique les plus efficaces pratiquées de nos jours. Elle consiste à utiliser une approximation simple de la géométrie et des variables décrivant le phénomène physique tel que le déplacement, la vitesse, la pression, la température. Afin de ramener le problème continu des systèmes aux dérivées partielles à un système algébrique comprenant un nombre fini de degrés de liberté, elle fait appel aux trois domaines suivants :

- Les sciences de l'ingénieur pour la formulation mathématique du problème physique.
- Les méthodes numériques pour la construction du système algébrique à résoudre.
- Les techniques informatiques pour l'exécution des calculs de simulation.

Dans ce chapitre, le programme d'éléments finis COMSOL Multiphysics et NISA (outil de l'analyse de système par les éléments intégrés numériquement) seront utilisés pour la validation et la prédiction du comportement thermique pour chaque ASIC du LabPET II, ce qui permettra de mieux comprendre le comportement du scanner.

Une grande variété de conditions aux limites thermiques peut être appliquée en utilisant les deux outils COMSOL et NISA. Cependant, la condition à la limite verticale cause toujours un grand problème pour les simulations. L'approche la plus simple est de fixer au-dessous de la structure une température constante représentant la température ambiante, ce qui produit un court-circuit thermique. Afin de résoudre les équations thermiques, les conditions aux limites doivent être définies dans les deux directions horizontales en utilisant la modélisation par des conditions de type adiabatiques [26].

2.4 Développement de l'équation de la convection thermique

Quel que soit le mode de convection (naturelle ou bien forcée), le transfert d'énergie entre la surface d'un corps solide à la température T et le fluide environnant se fait par conduction thermique puisque la vitesse du fluide est nulle à la surface du corps solide [27-28]. La continuité de la densité du flux d'énergie à la surface permet donc d'écrire :

$$\phi|_{area} = -\lambda_s \left. \frac{\partial T}{\partial x} \right|_{solid (x=0)} = -\lambda_f \left. \frac{\partial T}{\partial x} \right|_{fluid (x=0)} \quad (2.4)$$

Où λ_s et λ_f sont les conductivités thermiques, respectivement le solide et le liquide, et la densité de flux d'énergie est ϕ (W/m²) sur cette équation. Nous considérons un énorme volume d'air à température T_c (température convection). Loin de l'élément chauffant, un capteur de température indique que quand la température T_{nc} (convection naturelle) est à proximité de la surface de l'élément chauffant de l'ASIC, la température augmente.

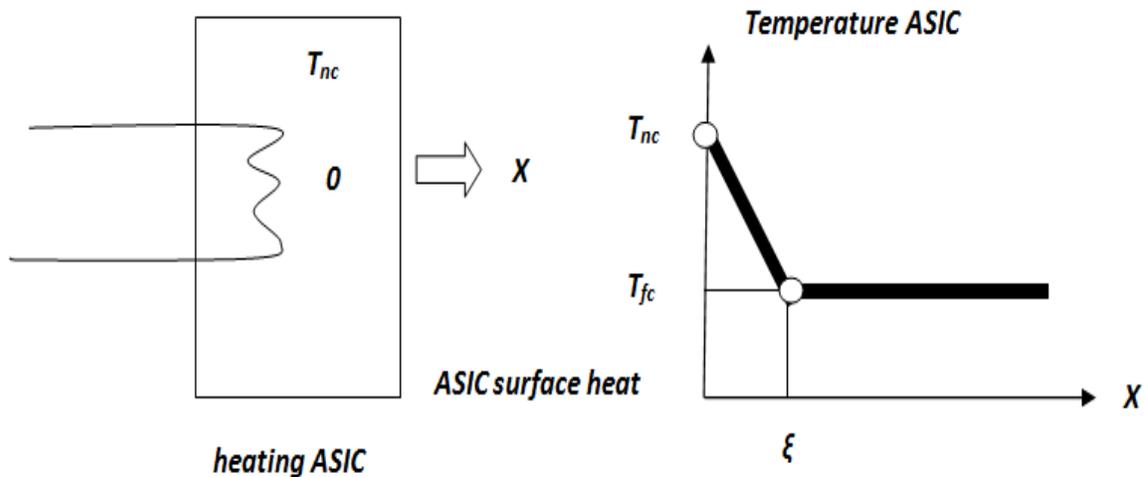


Figure 2.2: La température analogique de la convection thermique d'un ASIC.

Intuitivement, on devrait obtenir un profil de température analogue à celle de la figure 2.2 où la température est T_{fc} (convection forcée) sur la surface de l'élément chauffant. On introduit alors la notion de couche limite notée ξ de telle sorte que la densité ϕ du flux d'énergie à la surface peut être décrite comme suit :

$$\Phi|_{\text{area}} = -\lambda f \frac{T_{fc} - T_{nc}}{\zeta} \quad (2.5)$$

À partir de l'équation (2.4) et (2.5), on peut alors définir la puissance dissipée ou le flux de chaleur échangé par convection sur une surface ASIC du scanner LabPET II, l'équation pouvant être décrite de façon simple :

$$P = h \times S \times (T_{nc} - T_{fc}) \quad (2.6)$$

$$\Delta T = T_{nc} - T_{fc}$$

On peut donc en déduire l'équation suivante :

$$P(W) = h \times S \times \Delta T \quad (2.7)$$

Par conséquent, notre équation de convection (2.7) exprime la relation entre les puissances dissipées dans notre ASIC et la différence de température à la convection forcée et naturelle. L'équation (2.7) représentant une modélisation du phénomène de convection thermique développé, nous allons ensuite faire des simulations afin de vérifier théoriquement la validation de l'équation trouvée et l'implémentation de cette équation sur la carte FPGA.

2.5 Gestion thermique par convection

Pour faire une bonne gestion thermique au niveau de l'ASIC du LabPET II il faut contrôler la température et son gradient à partir du premier pas de la conception des circuits intégrés ASIC. Pour effectuer une bonne gestion thermique au niveau de l'ASIC du LabPET II, il faut contrôler la température et son gradient à partir du premier pas de la conception des circuits intégrés ASIC. Dans cette phase, notre but est d'assurer la gestion thermique en simulant un modèle thermique simple en 2D. Cependant, on a besoin des simulations des sources de chaleur pour la carte languette afin d'établir sa cartographie thermique. Cela conduit à faire des simulations pour chaque ASIC, ce qui nous permet de comprendre l'effet thermique sur la carte et de trouver des solutions réelles pour chaque languette en tenant compte des différentes couches autour de l'ASIC.

La deuxième loi de la thermodynamique indique que la chaleur circule toujours d'un endroit plus chaud à un endroit plus frais automatiquement. Les deux dispositifs actifs et passifs sont considérés comme des sources de chaleur. Cependant, il existe deux types d'analyses envisagées par circulation d'air : convection naturelle et convection forcée. Dans les applications où la dissipation de puissance est faible, l'analyse de la convection naturelle comporte une charge de calcul plus faible et s'avère suffisante pour cette partie de l'étude. Toutefois, en raison du niveau élevé de la puissance dissipée dans les deux ASIC et FPGA, l'analyse par convection forcée représente le moyen le plus efficace pour évacuer la quantité de chaleur produite par 864 ASICs, sachant que chaque ASIC dissipe 0.6 Watt. Le Tableau 2.1 montre les différents coefficients de convection associés à différents types d'analyse [28].

Tableau 2.1: Les différents coefficients de convection associés à différents types d'analyse.

Type d'analyse	Coefficient de transfert de chaleur h (W/m ² K)	Commentaires
Convection naturelle (air)	5 - 25	Typiquement 5
Convection naturelle (Eau)	100 - 900	Typiquement 500
Convection forcée (air)	10-500	Typiquement 485
Convection forcée (Eau)	100 - 1500	Typiquement 1000
Convection naturelle (liquide)	200-2000	Fluorocarbures
Convection forcée (liquide)	2000-7000	Eau mélangée de glycol
Bouillonnement (F)	2000-6000	Fluorocarbures
Bouillonnement (Eau)	50000	Eau

Dans notre analyse, on peut constater qu'il est évident que l'utilisation des cinq derniers types de refroidissement est impossible, car ils sont basés sur un réfrigérant liquide, alors que le premier type et le troisième sont largement suffisants pour évacuer convenablement l'énergie thermique accumulée. Cependant, selon notre étude sous l'outil COMSOL, la convection forcée peut répondre de manière appropriée si elle est combinée avec une configuration correcte ; de cette manière, elle peut fournir une méthode de refroidissement adéquate au scanner LabPET II.

2.6 Analyse numérique de transfert de la chaleur du scanner LabPET II

Dans cette étape, un programme des éléments finis pour prévoir le comportement thermique du scanner LabPET II en 2D est utilisé. Une grande variété de conditions aux limites thermiques peut être appliquée, que ce soit en utilisant les outils NISA et/ou COMSOL. Cependant, la condition à la limite autour du scanner cause un problème pour les simulations. L'approche la plus simple est de fixer tout autour de la structure du scanner et de la languette une température constante représentant la température ambiante généralement de 25°C (298.15 °K). Afin de résoudre les équations de diffusion thermiques en mode stationnaire, les conditions aux limites doivent être définies au préalable. Pour la construction d'un modèle thermique du scanner en 2D, le modèle est dessiné pour faire une simulation en mode stationnaire, en suivant des étapes prédéfinies pour construire la structure mécanique, le maillage, et les conditions aux limites. La puissance maximale générée de chaque ASIC est de 0.6 W. Des conditions de type DBC (Dirichlet Boundary condition) à 25°C (298.15 °K) ont été appliquées tout autour du modèle thermique et la Figure 2.3 montre le prototype du scanner LabPET II avec ces 864 ASICs.

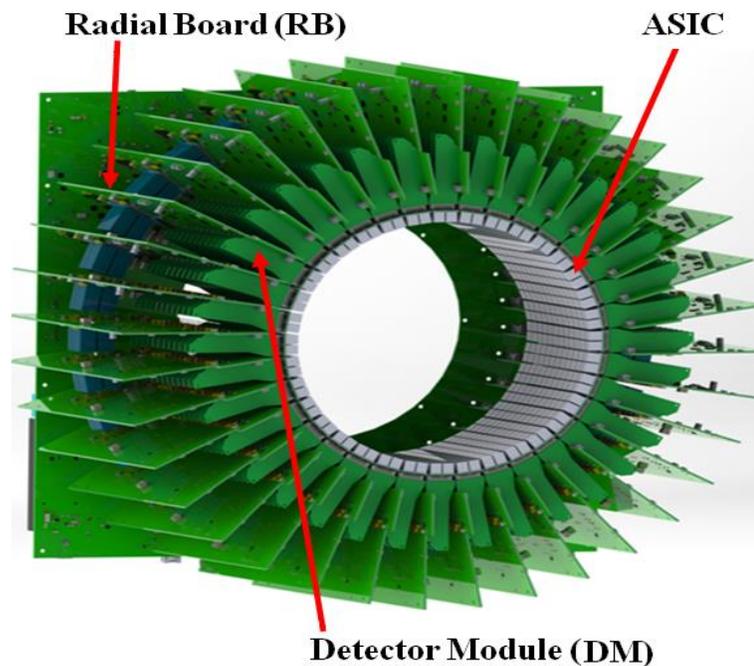


Figure 2.3: Le scanner LabPET II au complet avec ses trente-six Radial Board.

Donc, à partir de la Figure 2.3, on voit bien que chaque Radial Board contient douze languettes, et chaque Languette contient deux ASICs, ce qui donne vingt-quatre ASICs pour une seule Radial Board, et d'après la structure du scanner il y a trente-six Radial Bord, alors on a huit cent soixante-quatre ASICs au total (24 ASICs X 36 Radial Board), ce qui donne implicitement la puissance totale de 518.4 W (864 ASICs X 0.6 W).

2.7 Simulation du scanner LabPET II sous l'outil COMSOL

Il est très intéressant d'avoir un environnement de simulation qui inclut la possibilité d'ajouter différents phénomènes physiques au modèle d'étude. C'est dans cette philosophie que COMSOL Multiphysics a été développé. Il s'agit d'un logiciel de calcul numérique par éléments finis modulaire permettant de modéliser une grande variété de phénomènes multi-physiques caractérisant un problème réel. Il représente également un outil de conception grâce à son aptitude à gérer des géométries 2D et 3D complexes, différents modules physiques existant sous COMSOL, parmi lesquels on trouve la mécanique des fluides, le transfert thermique, l'électricité, l'électromagnétisme, la chimie, la mécanique des structures, etc. Il est possible de combiner plusieurs phénomènes physiques lors d'une même simulation numérique : il s'agit d'un des points forts de cet outil. La figure 2.4 suivante présente notre modèle du scanner LabPET II en 3D sous SolidWorks :

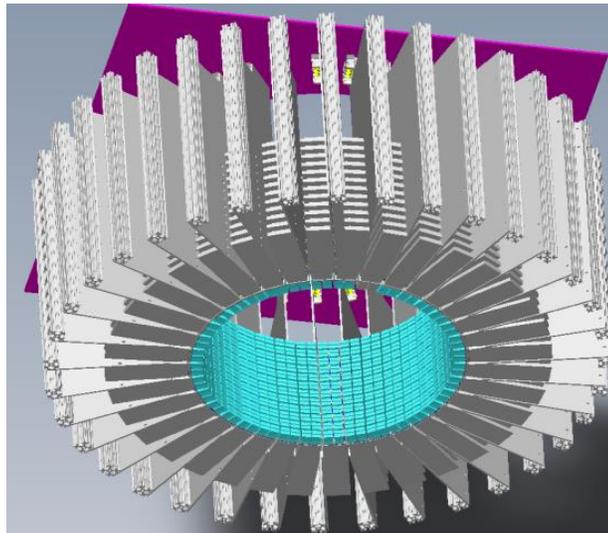


Figure 2.4: Présentation du scanner LabPET II en 3D sous SolidWorks.

L'équation globale de transfert de la chaleur utilisée dans notre modélisation thermique, pouvant être décrite de façon simple :

$$\frac{1}{\Delta X} (K_X \frac{\partial T}{\partial X}) + \frac{1}{\Delta Y} (K_Y \frac{\partial T}{\partial Y}) + \frac{1}{\Delta Z} (K_Z \frac{\partial T}{\partial Z}) = Q_V \quad (2.8)$$

L'équation (2.8) représente le transfert de la chaleur en 3 D pour le régime permanent, avec :

- **Q_v** : Est le taux du flux de chaleur conduit par unité de surface dans la direction x, y et z.
- **K_x, K_y et K_z** : Les conductivités thermiques des matériaux.
- **∂T/∂X** : Le vecteur gradient dans les coordonnées X, Y et Z. Puisque les matériaux sont homogènes et isotrope, alors : $k_{xy} = k_{yz} = k_{zx}$, et $k_{xx} = k_{yy} = k_{zz} = k$

Les conditions aux limites thermiques sont un des problèmes majeurs pour la simulation des phénomènes thermique dans un CI et ils dépendent de :

- La méthode de refroidissement ;
- La position de la puissance dissipée et l'influence de leur entourage ;
- La conductivité thermique des matériaux du : PCB (Printed Circuit Board).

La méthode des éléments finis utilisée doit imposer des hypothèses plus au moins simplificatrices sur les propriétés du matériau et sur les conditions aux limites. La méthode des éléments finis repose sur la discrétisation de l'espace et du temps. Le principal avantage de cette méthode est sa très grande généralité ; elle peut traiter des géométries complexes en prenant compte des conditions aux limites et des propriétés des matériaux dépendant de la température. Cependant, le composant ASIC est découpé en domaines élémentaires de dimensions finis (décomposition en forme simple) par maillage rectangulaire.

Le comportement physique d'ASIC est décrit grâce à des équations aux dérivées partielles ainsi que des conditions aux limites. La méthode des éléments finis transforme les équations aux dérivés partiels en équations algébriques. Cette méthode permet d'effectuer l'analyse de la température en différents points. Cependant, la condition au limite verticale cause toujours un grand problème pour les simulations numériques. L'approche la plus simple est de fixer au-dessous de la structure une température constante à 25 °C représentant la température ambiante et cela produit un court-circuit thermique. Afin de résoudre des équations thermiques,

les conditions aux limites doivent être définies. Puisque, dans l'ASIC la couche de silicium est relativement mince, les écoulements de chaleur sont principalement vers PDA, ainsi les conditions aux limites dans les deux directions horizontales peuvent être modélisées par des conditions de type adiabatiques. La Figure 2.5 présente les premiers résultats de simulation des sources de chaleur pour 36 Radial Board :

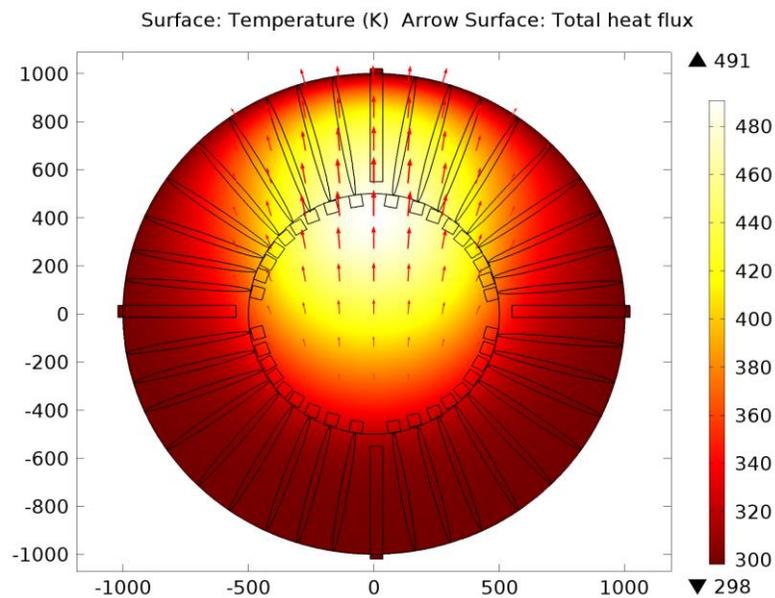


Figure 2.5: L'évolution thermique du scanner LabPET II sous COMSOL.

Le résultat obtenu donne une bonne idée du comportement et de la diffusion thermique des sources de chaleur dans un scanner LabPET II, et montre aussi l'augmentation de la température d'une façon importante, soit à 491 °K, ce qui donne un bon aperçu de la puissance totale à dissiper dans tout le scanner. De plus, on voit clairement la manière dont la température évolue et comment l'énergie thermique s'accumule en haut du scanner LabPET II. Cependant, nous avons besoin des simulations des sources de chaleur pour la carte languette afin d'établir sa cartographie thermique. Ceci nécessite de faire des simulations pour chaque ASIC, ce qui permettra par la suite de comprendre l'effet thermique sur la carte et de trouver des solutions réelles sur toute languette en tenant compte des différentes couches autour de l'ASIC.

Pratiquement, il existe deux types d'analyses envisagées par circulation d'air : convection naturelle et convection forcée.

2.7.1 Première simulation thermique du module ASIC

Dans cette étape, le programme d'éléments finis COMSOL est utilisé pour prévoir le comportement thermique des dispositifs complets de l'ASIC et l'APD (Avalanche Photodiode) en 3D. La Figure 2.6 présente le module ASIC et son APD importés sous l'outil COMSOL.

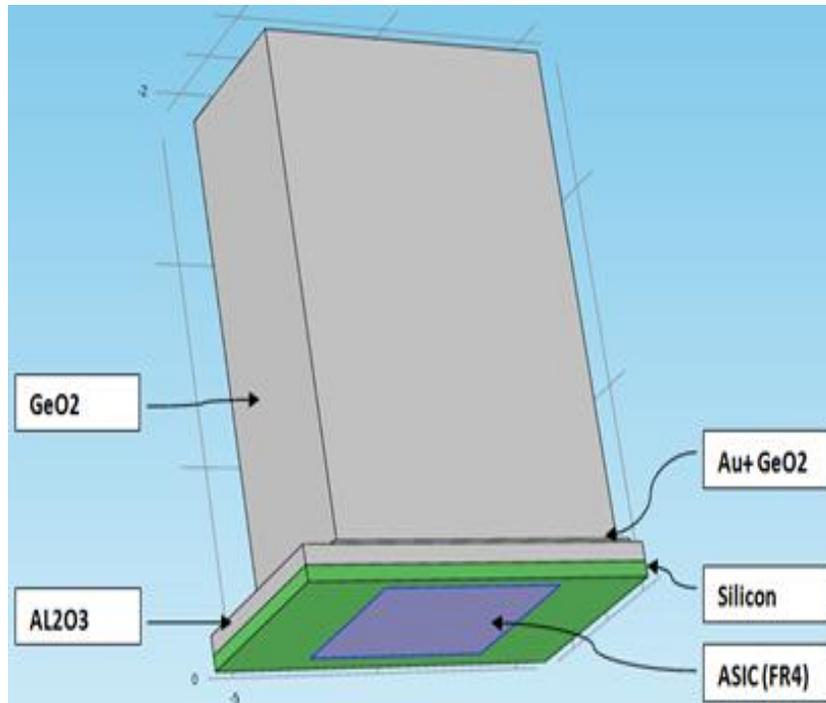


Figure 2.6: Modélisation de l'ASIC et son support APD avec les différents matériaux qui les composent sous l'outil COMSOL.

La Figure 2.6 représente la modélisation de l'ASIC et son support APD avec les différents matériaux qui les composent. Toutefois, chaque matériau comporte une conductivité thermique différente ; par conséquent, cette partie est primordiale avant de pouvoir simuler le modèle thermique sous l'outil COMSOL. De plus, il existe une grande variété de conditions aux limites thermiques qui peuvent être appliquées en utilisant COMSOL.

Puisque les conditions aux limites à la verticale sont difficiles à simuler, comme expliqué auparavant dans les parties précédentes, l'approche la plus simple est de fixer tout autour de la structure une température constante de 25 °C représentant la température ambiante. Il s'agit ainsi d'un moyen efficace pour remédier à ce problème.

La puissance maximale générée dans l'ASIC est de 0.6 watt. Cette dernière est répartie uniformément dans le volume de l'ASIC de 4.68 mm X 5.97 mm. La Figure 2.7 présente l'évolution thermique de la première simulation d'un seul ASIC du LabPET II :

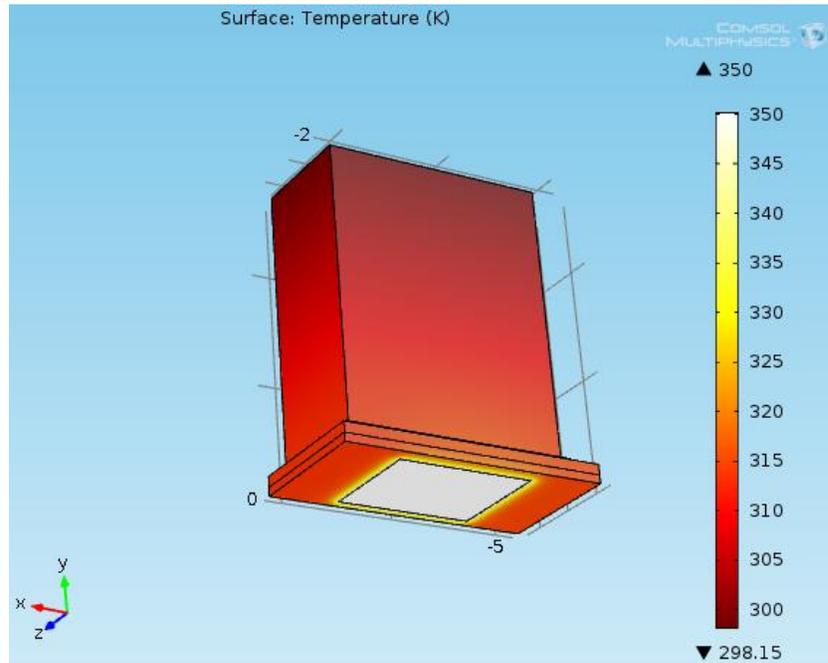


Figure 2.7: L'évolution thermique de la première simulation d'un ASIC sous COMSOL.

La première simulation de notre module ASIC sous COMSOL donne une bonne idée du comportement et de la diffusion thermique des sources de chaleur dans un scanner LabPET II, et montre aussi l'augmentation de la température d'une façon inimaginable à 350 °K, ce qui donne un bon aperçu de la puissance totale dissipée à prévoir dans tout le scanner.

2.7.2 Simulation par la convection naturelle avec $h= 5 \text{ W.m}^{-2}.\text{K}^{-1}$

Dans cette section, les résultats de la simulation du refroidissement des sources thermiques d'un seul ASIC de surface 4.68 mm X 5.97 mm du scanner LabPET II sont présentés, en utilisant la convection naturelle. Une synthèse est effectuée pour étudier le comportement thermique de l'ensemble de l'ASIC complet, nous utilisons le coefficient h d'échange de transfert thermique $h = 5 \text{ W.m}^{-2}.\text{K}^{-1}$ (voir le Tableau 1) et après nous procédons à la configuration des conditions aux limites pour le type d'analyse par de convection naturelle.

La Figure 2.8 présente la simulation du refroidissement d'un ASIC par convection naturelle sous l'outil COMSOL :

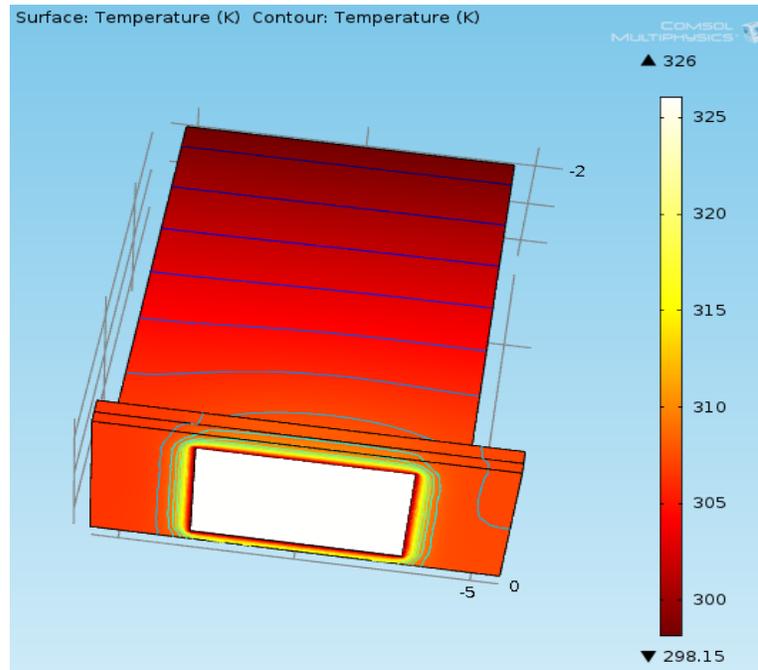


Figure 2.8: L'évolution thermique d'un ASIC par convection naturelle sous COMSOL.

La simulation du refroidissement d'un seul ASIC par convection naturelle sous COMSOL donne une bonne idée de l'évolution thermique du scanner LabPET II. De plus, la Figure 2.8 montre que la température baisse à 326 °K avec une différence de 24 °K, pour un seul ASIC. Cependant, une simulation en 2D, a été établie pour étudier la distribution verticale de la température puisque la distribution horizontale est symétrique. Finalement, la puissance thermique est injectée de façon homogène à droite de l'ASIC et à gauche.

2.7.3 Simulation par la convection forcée avec $h= 485 \text{ W.m}^{-2} \cdot \text{K}^{-1}$

Dans cette section, nous présentons les résultats de la simulation du refroidissement des sources du module ASIC en utilisant la convection forcée. Le type de convection et la valeur utilisée du coefficient d'échange de transfert thermique sont de $h = 485 \text{ W.m}^{-2} \cdot \text{K}^{-1}$ (voir le Tableau 1). La Figure 2.9 montre la distribution thermique dans le modèle ASIC sous COMSOL :

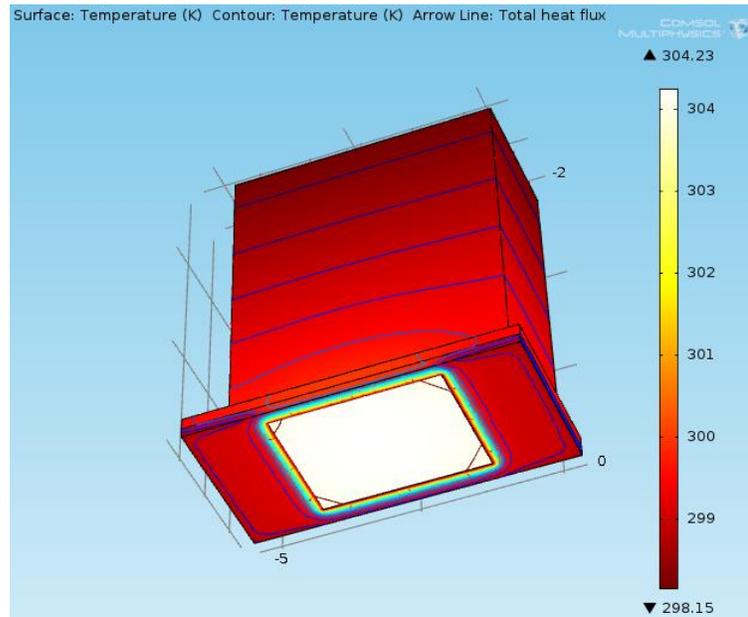


Figure 2.9: L'évolution thermique d'un ASIC par convection forcée sous COMSOL.

La simulation du refroidissement sous COMSOL en utilisant la convection forcée exposée à la Figure 2.9 montre que la température a baissé de 22 ° K par rapport à la convection naturelle, donc nous pouvons conclure que le refroidissement thermique par convection forcée peut décharger l'énergie stockée dans le module ASIC efficacement. Pour visualiser la différence entre les deux types de convections, le graphe 2.10 est utilisé pour montrer clairement la différence réelle entre les deux types de refroidissement en utilisant successivement la convection naturelle et forcée.

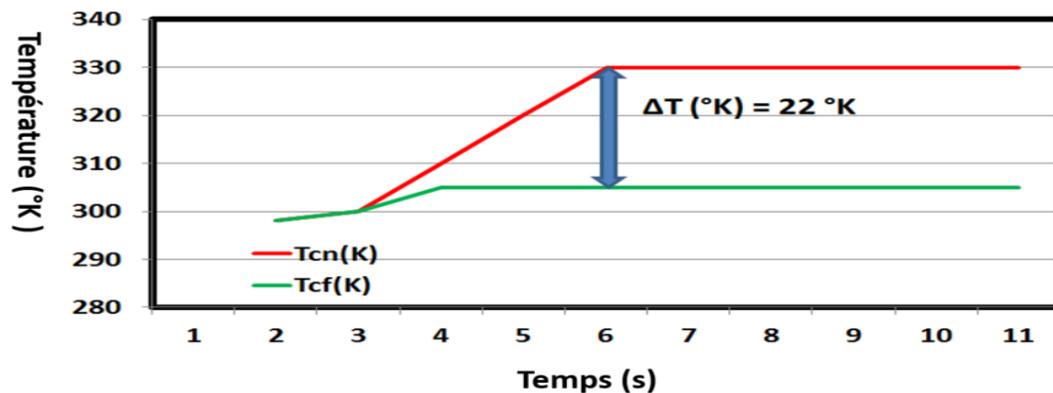


Figure 2.10: La différence de la température entre la convection naturelle et forcée.

Nous pouvons constater clairement la différence entre le refroidissement par convection naturelle et celle par convection forcée. Nous concluons ainsi que la convection forcée représente la meilleure façon de réduire la température d'une manière suffisante et plus pratique pour notre modèle ASIC. Une stabilité thermique à partir de 6 secondes est également observée. Dans le cas pratique des circuits LabPET II, les deux types de refroidissement par circulation d'air sont possibles, soit la convection naturelle et la convection forcée. Dans les applications où la dissipation de puissance est faible, le refroidissement par convection naturelle est économique et facile à mettre en œuvre. Toutefois, en raison du niveau élevé de puissance dissipée dans le circuit ASIC, le refroidissement par convection forcée est requis, en vue de la quantité énorme de chaleur à évacuer.

2.7.4 Confirmation de la stabilité thermique sous COMSOL

Dans cette partie, nous validons les résultats de la simulation trouvés afin de confirmer la stabilité thermique dans tous les éléments électroniques du LabPET II, en procédant à d'autres simulations, cette fois-ci entre les douze languettes pour chaque Radial Board, en introduisant la même quantité d'air frais (convection forcée). La Figure 2.11 suivante montre l'évolution thermique du Radial Board à 12 languettes.

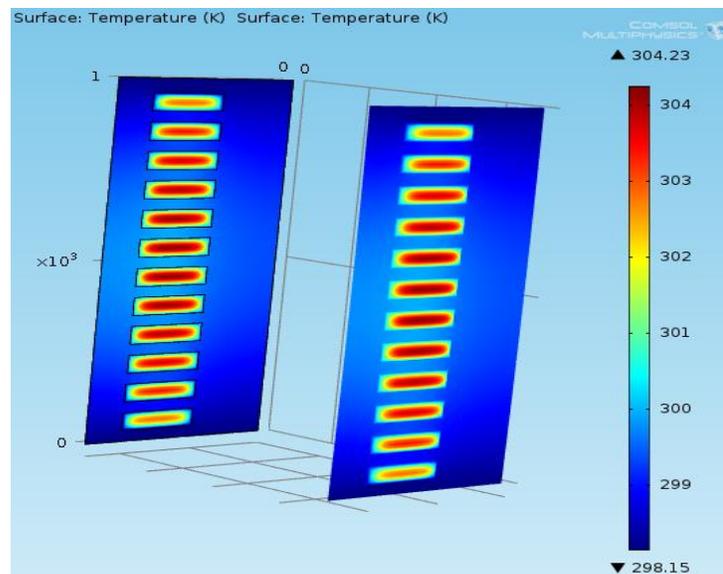


Figure 2.11: L'évolution thermique dans une seule Radial Board sous COMSOL.

Ces résultats de simulation montrent que l'évolution de la température entre les douze languettes est fixée à 304 °K pour une seule Radial Board, ce qui confirme nos résultats obtenus auparavant (voir les Figures 2.9 et 2.10) et démontre que nos démarches que nous avons entreprises pour modéliser notre modèle ASIC du scanner LabPET II sont appropriées, et que nous sommes sur la bonne voie. Maintenant, il est temps de vérifier les résultats théoriques puisque nous disposons de tous les paramètres nécessaires obtenus à partir de notre simulation du modèle thermique sous l'outil COMSOL.

Selon les simulations du refroidissement, la convection forcée est la seule façon de refroidir l'ASIC, ce qui nous permettra d'obtenir des informations sur les paramètres h et ΔT suivants :

$$\Delta T = T_{nc} - T_{fc} = 350 - 304.23 = 45.77 \text{ } ^\circ\text{K} \quad (2.9)$$

Et on sait bien que la surface de l'ASIC est :

$$S = 4.68 \times 5.97 \times 10^{-6} = 27.94 \times 10^{-6} \text{ m}^2$$

Avec : $h_{fc} = 485 \text{ m}^{-2} \cdot \text{K}^{-1}$

Donc la puissance dissipée sur la surface h de l'ASIC :

$$P = h \times S \times \Delta T = 0.62 \text{ Watt} \quad (2.10)$$

Cette dissipation d'énergie de puissance 0,62 watt est trouvée à l'aide du développement de l'équation (2.4), la vérification et la validation sont faites par les simulations thermiques par convection naturelle et forcée. Par conséquent, la répartition de la température sur la surface de la puce est utilisée pour la prédiction de l'état d'échauffement thermique.

La différence entre la dissipation de puissance de deux valeurs de 0,6 W (donnée par le constructeur) et 0,62 W (calculée dans cette étude) réside dans le fait que les matériaux utilisés dans les simulations sous l'outil COMSOL qui sont estimées approximativement selon le développeur ou le concepteur. La méthode proposée peut être utilisée dans des applications rapides, et peut être appliquée à une large gamme de circuits intégrés. En outre, la caractérisation

de la dynamique thermique en fonctionnement des circuits de type VLSI Microsystems, en tenant compte des conditions aux limites réelles, s'avère très difficile à étudier. La méthode proposée représente une nouvelle approche pour ce type d'application.

La méthodologie proposée pourrait fournir aux concepteurs un moyen approprié pour pousser les limites de fonctionnement des nouveaux microsystemes complexes.

2.8 Validation des résultats numériques par l'outil NISA

NISA est un programme basé sur les éléments finis qui est composé d'une série de modules qui, selon les cas traités, comportent différentes utilisations. NISA utilise le module NISAU/HEAT TRANSFER, qui est un programme pour l'analyse par éléments finis du transfert de chaleur linéaire et non linéaire en régime permanent et en régime transitoire.

Dans cette partie, le programme d'élément fini NISA (l'analyse de système par les éléments intégrés numériquement) est employé pour prévoir le comportement thermique de chaque ASIC du LabPET II afin de valider les résultats obtenus à l'aide de l'outil COMSOL précédemment montré. Une grande variété de conditions aux limites thermiques peut aussi être appliquées en utilisant NISA, comme l'outil COMSOL. On utilise l'approche utilisée avec l'outil COMSOL également avec l'outil NISA. Afin de résoudre des équations thermiques, les conditions aux limites doivent être définies. Puisque, dans l'ASIC, la couche de silicium est relativement mince, les écoulements de chaleur ont lieu principalement vers le haut du scanner, ainsi que les conditions aux limites dans les deux directions horizontales peuvent être modélisées par des conditions de type adiabatiques [26]. La principale raison d'utiliser le logiciel NISA, c'est pour vérifier les conditions aux limites appliquées sur la structure géométrique complexe dans les deux directions horizontales et verticales et valider l'approche de convergence utilisée avec l'outil COMSOL.

2.8.1 Simulation par la convection naturelle sous NISA

Dans cette section, l'évolution thermique d'une source de chaleur d'ASIC de 4,68 mm X 5,97 mm est obtenue avec l'outil NISA. La Figure 2.12 montre les résultats de l'évolution thermique dans le ASIC :

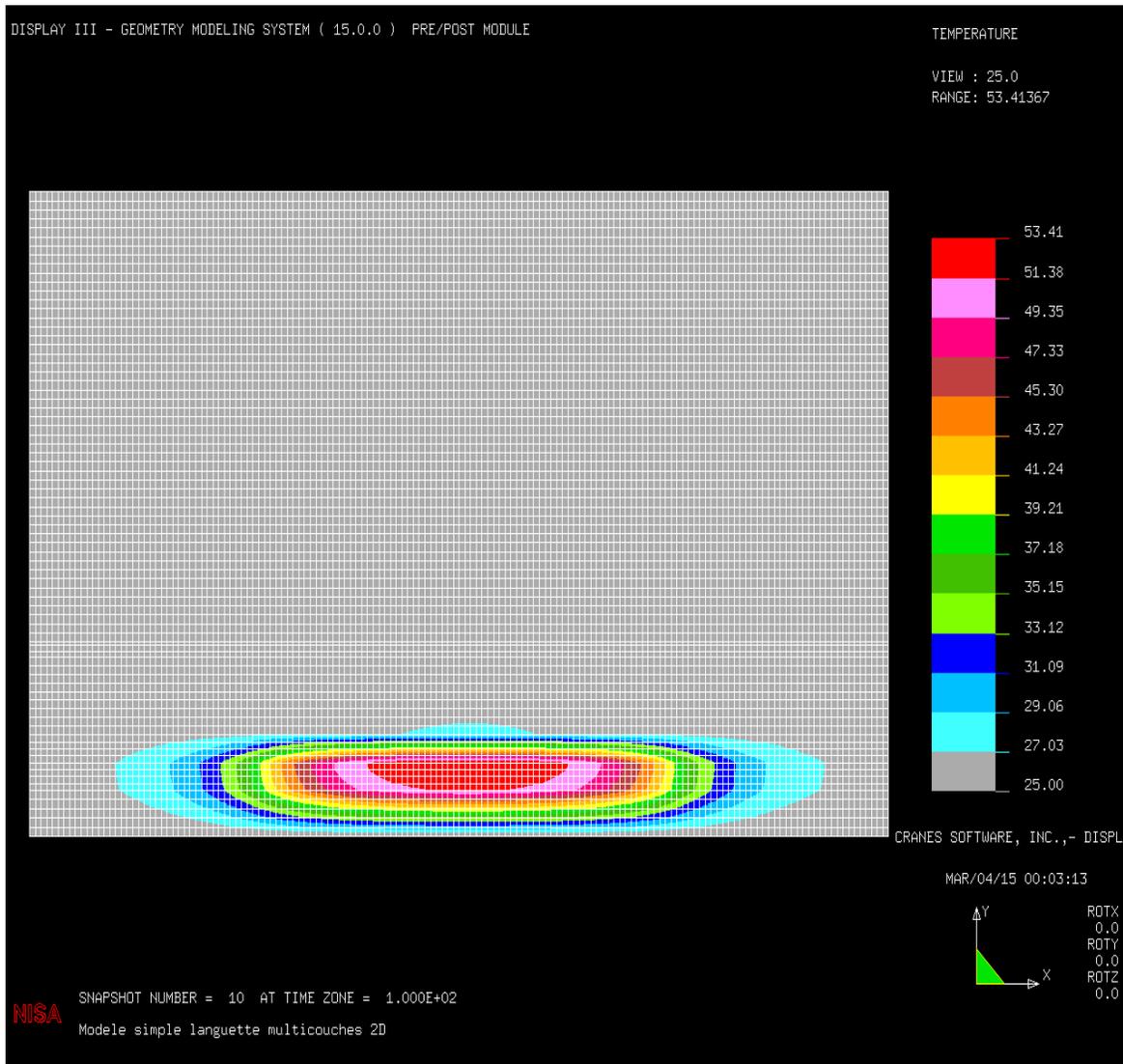


Figure 2.12: L'évolution thermique d'un ASIC par convection naturelle sous NISA.

Si on examine la Figure 2.12, on peut noter que la température atteint 53,41 °C (326 °K), ce qui confirme et valide les résultats obtenus avec l'outil COMSOL (voir la Figure 2.8).

2.8.2 Simulation par la convection forcée sous NISA

Dans cette section, les résultats de la simulation des sources du module ASIC en utilisant la convection forcée sous l'outil NISA sont présentés. La Figure 2.13 montre l'évolution thermique de notre modèle ASIC :

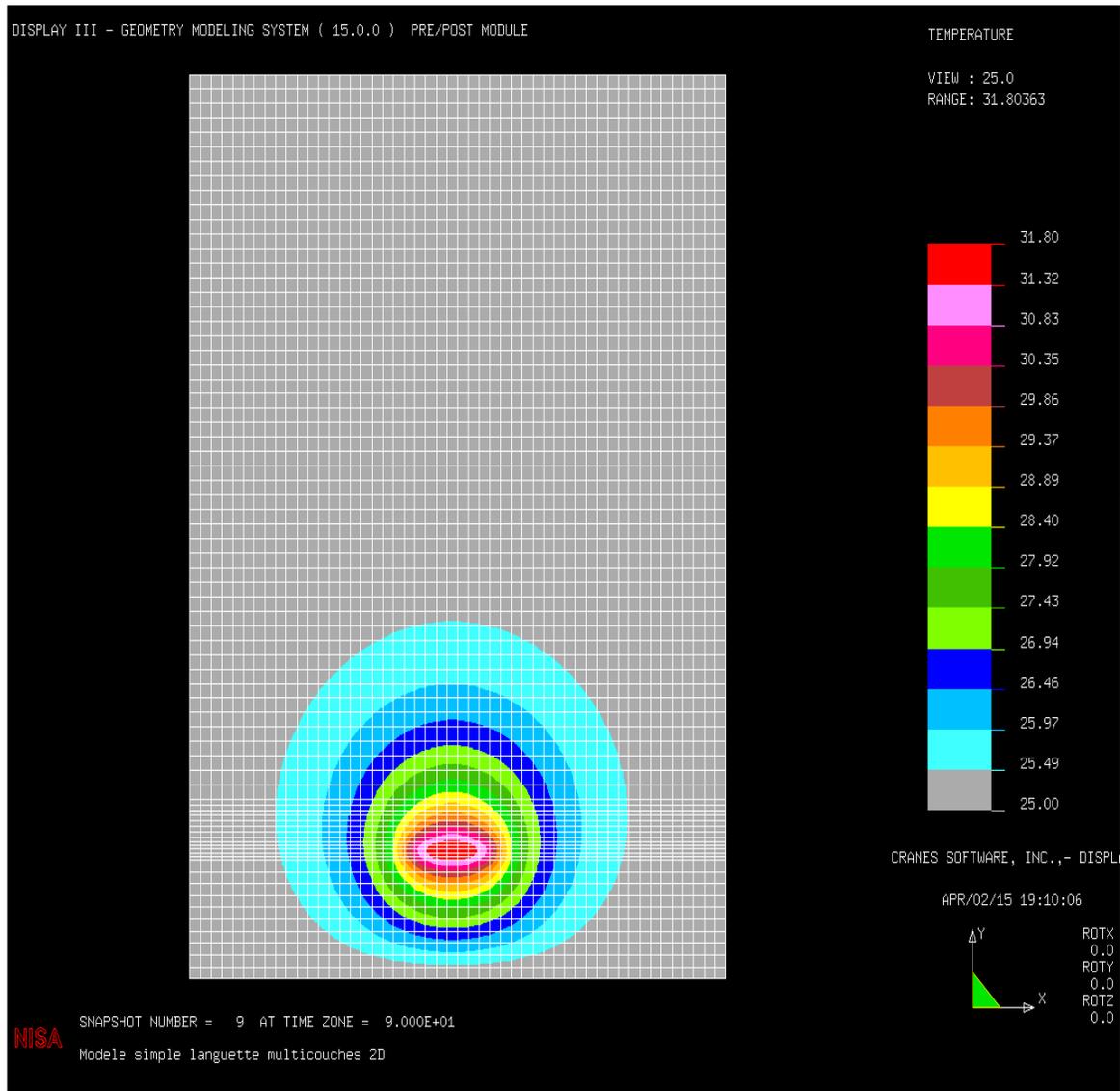


Figure 2.13: L'évolution thermique d'un ASIC par convection forcée sous NISA.

On peut noter que la température atteint 31,80 °C (304 °K), qui est obtenue par la convection forcée avec l'outil NISA, ce qui valide les résultats obtenus avec l'outil COMSOL (voir la figure 2.9). On peut noter que la température atteint 31,80 °C (304 °K), qui sont obtenus par la convection forcée avec l'outil NISA, ce qui valide les mêmes résultats obtenus avec l'outil COMSOL (voir la Figure 2.9). Le graphe (Figure 2.14) montre l'évolution de la température le long d'une ligne verticale depuis le centre du modèle du ASIC, dans les nœuds suivants : 283, 331, 741, 1098, 1557, 2170, 2986 et 3547 (Voir Annexe A).

Par conséquent, une comparaison des résultats obtenus avec les deux outils démontre la précision du modèle ASIC modélisé avec l'outil COMSOL.

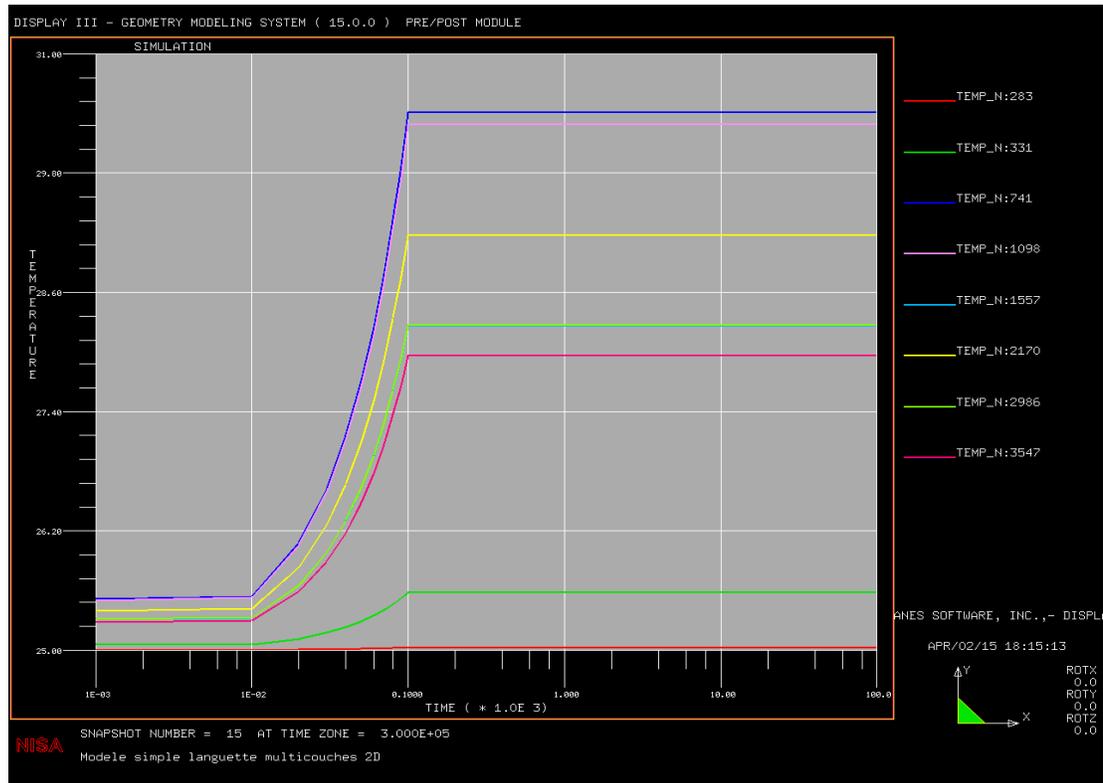


Figure 2.14: Graphe de simulation par convection naturelle et forcée avec NISA.

Dans cette phase, un modèle simple en 2D pour l'analyse rapide de transfert de chaleur à partir de l'ASIC est développé. Les simulations par les deux outils NISA et COMSOL pour l'analyse des problèmes thermiques en régime transitoire ont été également présentées, ce qui valide les résultats trouvés par deux modèles thermiques. Cette phase est importante parce que le coût de la gestion thermique de la carte languette dépend fortement de l'efficacité de la conception. D'un autre côté, l'auto-échauffement des dispositifs ASICs affecte le fonctionnement des circuits électroniques avoisinants. En utilisant le simulateur COMSOL ou bien NISA avec un modèle en transitoire, on peut avoir une idée de la diffusion et du flux thermique autour de l'ASIC. Cependant, pour vérifier et valider les simulations trouvées avec COMSOL et NISA, nous avons besoin d'un test sur un circuit intégré. Dans la section suivante, nous allons faire l'implémentation sur un circuit intégré de type FPGA.

2.9 Simulation et implémentation FPGA

Récemment, la conception des applications spécialisées sur FPGA a été faite rapidement et efficacement, car les cartes FPGA jouent un rôle essentiel dans le domaine de prototypage rapide de nos jours. Il faut toutefois rappeler que les ASICs peuvent atteindre des fréquences de fonctionnement plus importantes que les FPGA, mais leur perfectionnement nécessite un temps de développement et de mise en marché assez élevé, d'où leur coût élevé. C'est pour cela qu'un code VHDL est développé et implémenté sous l'outil Quartus Prime de Altera Inc, et ce, dans le but de vérifier et valider les prédictions trouvées par COMSOL et NISA. La partie suivante est dédiée à l'implémentation du code dans la carte FPGA sous la plateforme Altera cyclone V famille 5CSEMA5F31C6.

2.9.1 Simulation logique du code VHDL

Le but principal de cette partie est la simulation, l'implémentation des résultats théoriques et l'analyse thermique par deux types de convections naturelle et forcée pour le circuit ASIC. Pour cette raison, nous avons développé un code VHDL et son test bench. La validation des résultats de la simulation est réalisée avec l'outil Modelsim, ce dernier permettant de simuler le comportement du système en temps réel. Le code VHDL implémenté a été validé par rapport à l'étude basée sur des analyses théoriques et la méthode des éléments finis (FEM). La Figure 2.15 ci-dessous affiche les simulations logiques montrant l'équivalent des résultats obtenus de manière théorique auparavant.

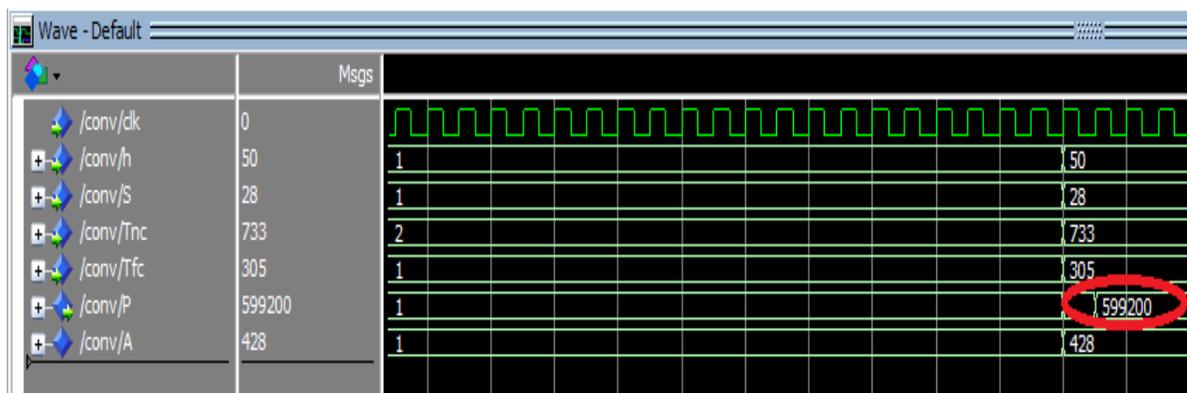


Figure 2.15: Résultats de la simulation thermique par convection sous l'outil Modelsim.

Le code VHDL implémenté a été validé par rapport à l'équation (2.10), et le calcul qui est fait dans la section 2.9 a été basé sur l'analyse théorique et la méthode des éléments finis (FEM), alors la Figure 2.15 affiche les mêmes valeurs de la puissance dissipée trouvée.

L'étape de la simulation et de la synthèse d'une équation de convection thermique, qui est décrite par le code VHDL, est réalisée grâce aux outils du laboratoire LIMA tels que le banc de test réalisé qui consiste à vérifier la capacité de notre algorithme pour fonctionner selon les spécifications initiales. L'implémentation dans le FPGA a été réalisée après les étapes de Synthèse Placement et Routage (P&R). Des vecteurs de test ont été créés également afin d'assurer une couverture spécifique en optimisant le temps de l'essai, ou de minimiser la dégradation des performances. La Figure 2.15 résume les résultats de puissance dissipée qui affiche la valeur 599200 mW (0,5992 W).

2.9.2 Implémentation du code VHDL sur la carte FPGA

Une fois la compilation terminée, après avoir assigné les broches, notre programme est prêt à être téléchargé sur la carte DE1 cyclone V famille 5CSEMA5F31C6 et la Figure 2.16 montre que le téléchargement du code est bien fait avec succès sur la carte.

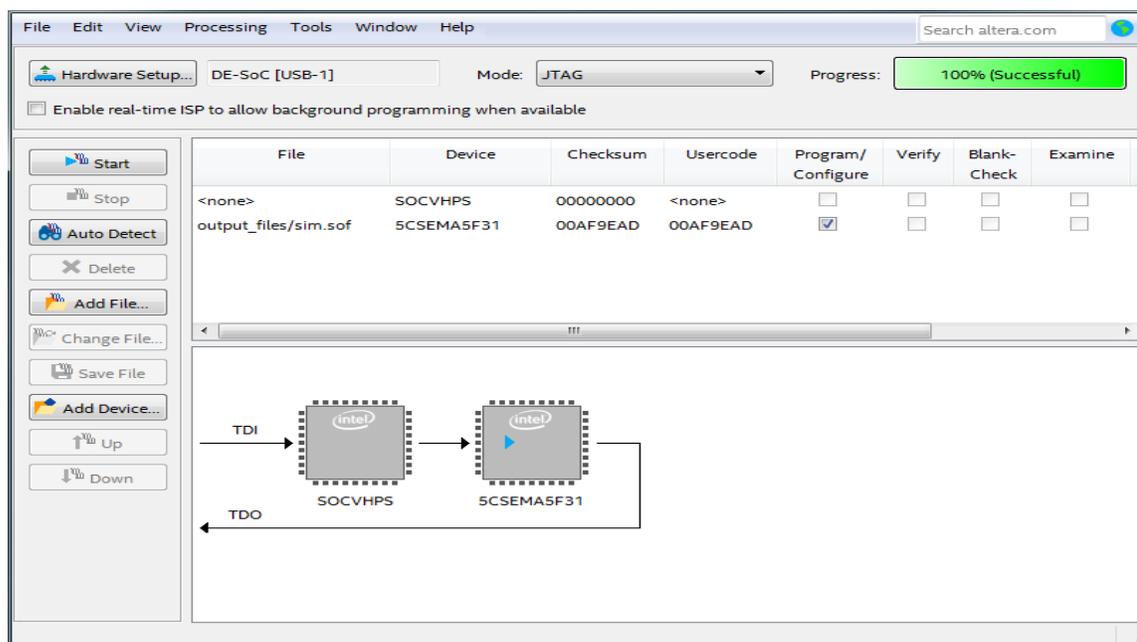


Figure 2.16: Téléchargement du code VHDL sur l'architecture DE1 Altera cyclone V.

Maintenant que notre programme VHDL est disponible sur la carte DE1 Altera, après la fixation de l'horloge à 50 MHz, la Figure 2.17 suivante montre la valeur qui est simulée logiquement et implémentée sur la carte FPGA sans virgule flottante.

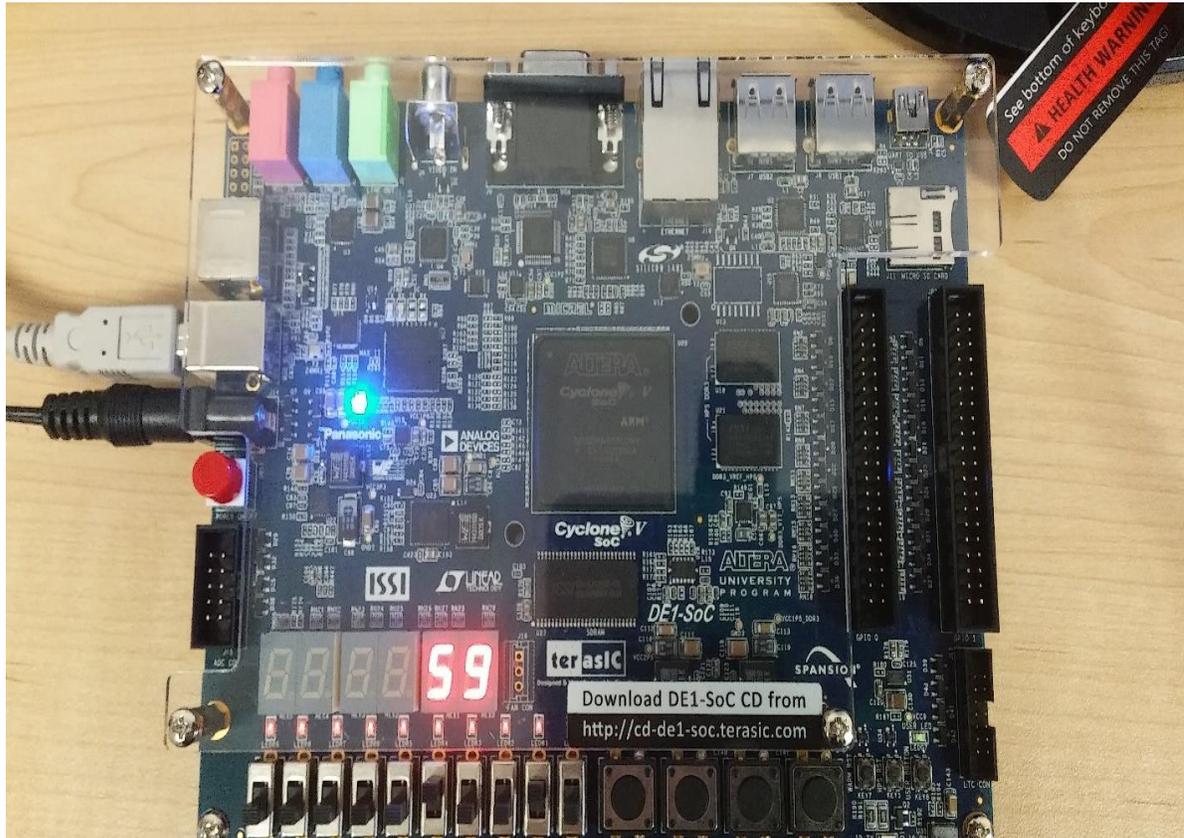


Figure 2.17: La valeur de puissance dissipée disponible sur FPGA cyclone V.

Après l'utilisation des outils de synthèse, de planification, de placement et de routage, les outils spécialisés de vérification post-synthèses, intégrés dans l'outil Quartus Prime, ont été exploités pour programmer la carte FPGA. La simulation avec l'outil Modelsim nous donne un aperçu de l'implémentation par rapport à la simulation logique.

Les résultats de la simulation logique et de l'implémentation ont été satisfaisants pour les deux types d'analyses, ce qui valide notre développement de l'équation (2.7) de convection implémentée sur la carte FPGA. Ce travail peut d'ailleurs être appliqué à diverses applications industrielles complexes, y compris les dernières versions des générations exclusives des scanners médicaux.

2.10 Résumé

Dans le deuxième chapitre de cette thèse, une nouvelle orientation pour la caractérisation de la dynamique thermique à haute densité avec la méthode des éléments finis du scanner LabPET II a été présentée. Ainsi, l'étude de la distribution de la température sur la surface de l'ASIC nous a permis de faire la prédiction de la contrainte thermique localisée aux emplacements de chaque carte électronique tels que l'ASIC, la RB et L'ABDM. La méthodologie proposée est utilisée dans d'autres applications à hautes fréquences et peut s'appliquer aussi à une plus large gamme de circuits intégrés. Des résultats de simulations pour les deux types d'analyses thermiques avec et sans convection ont été présentés. Ces simulations sont importantes, car le coût de la gestion thermique de chaque ASIC dépend d'une part de l'efficacité du design, et d'autre part de l'auto-échauffement des composants actifs et passifs du scanner.

Pour la gestion et surveillance thermique nous avons besoin d'une nouvelle méthodologie basée sur la technique des mesures thermiques RO, afin d'extraire l'information des caractéristiques thermiques des surfaces de chaque ASIC du scanner LabPET II.

Chapitre 3: Détection et localisation des pics thermiques

3.1 Introduction

Ce chapitre présente la modélisation et l'implémentation d'une unité de détection des pics thermiques pour l'ASIC du scanner LabPET II. L'étape de modélisation commence avec l'établissement d'un modèle pour interpréter la formule de diffusion d'une source de chaleur en utilisant Simulink/Matlab. Par la suite, la température sera récupérée et détectée à l'aide de certaines fréquences, qui seront obtenues à partir de cette formule en utilisant la méthode GDS (Gradient Direction Sensor), qui est basée sur les oscillateurs en anneau RO (Ring Oscillator). Pour valider nos résultats obtenus, l'implémentation sur une plateforme FPGA est requise, ainsi que le développement d'un code VHDL qui est nécessaire pour décrire l'unité de détection des pics thermiques. Ce travail offre une solution pour détecter et localiser les pics thermiques en temps réel, ce qui a toujours constitué un problème majeur dans la conception des circuits intégrés.

La méthode GDS (Gradient Direction Sensor) représente une solution pratique pour localiser le pic thermique, dans le cas le plus simple d'une seule source de chaleur, l'implémentation des cellules. La technique GDS consiste à placer trois capteurs qui sont en fait un oscillateur en anneau produisant un signal électrique en fréquences proportionnel à la température locale que nous allons utiliser pour la prédiction de la température. Malgré l'utilisation de la méthode GDS, l'originalité de cette méthodologie repose sur la modélisation et l'implémentation du réseau de capteurs thermique, chacun étant un oscillateur en anneau RO (Ring Oscillator) composé de sept inverseurs. Les oscillateurs en anneau (RO) et les (GDS) sont très bien détaillés dans [30] et [31]. Notre méthodologie dans ce chapitre consiste à décrire notre système avec un code VHDL qui permettrait de modéliser l'équation de détection des pics thermiques à l'aide de l'outil Simulink/Matlab. En utilisant la technique GDS expliquée précédemment, à partir de chaque cellule composée de trois capteurs, nous pouvons obtenir l'information sur la distribution de la température et partiellement la position de la source de chaleur, ce qui nous aide à prédire le pic thermique et évaluer la température en temps réel [29]. Cela signifie qu'avec un réseau de capteur, il est facile de connaître la valeur de la température

dans certains endroits sur l'ASIC, mais cette opération est possible uniquement après la conversion du signal électrique en valeur fréquentielle, qui est obtenue après le comptage des oscillations et donne une information au sujet de la direction du flux thermique sur le principe des isothermes sous forme de cercles concentriques.

3.2 Description de la méthode GDS adoptée

La méthode GDS est en général une technique utilisée pour évaluer une seule source de chaleur sur la surface d'un ASIC. Pour obtenir une information sur les paramètres d'une source de chaleur, nous devons seulement savoir la distribution du phénomène thermique et à quelle vitesse change-t-elle. Les coordonnées géométriques et la source de chaleur recherchée peuvent être obtenues en appliquant la méthode GDS [32-36]. Pour calculer la température de la source de chaleur, on fait appel au module de détection des pics thermiques qui rend cette opération possible en ayant ses entrées : les angles α_1 et α_2 , la distance h tout comme la fréquence d'oscillation des RO. Parmi les facteurs nécessitant une attention particulière lors de son développement, on peut citer le nombre de capteurs, leur proximité, leur distribution spatiale et leurs interconnexions en réseau. L'application de la méthode GDS sera à la base du développement de l'algorithme de détection qui est présenté dans cette thèse. Cette méthode a fait preuve d'efficacité pour la détection d'une seule source de température sur une surface [37]. Comme la Figure 3.1 le montre, cette méthode est basée sur la détection des isothermes par deux capteurs, chaque capteur (Figure 3.1) étant composé de trois RO qui forment un triangle.

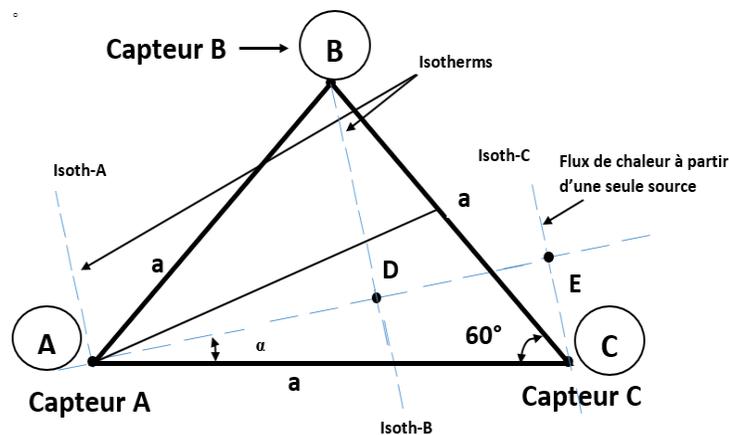


Figure 3.1: Principe de détection des pics thermique par la méthode GDS.

La Figure 3.1 montre la disposition proposée pour une seule cellule, qui comprend les 3 capteurs A, B et C. La cellule est placée sur l'ASIC à contrôler. Ce module basé sur la méthode GDS est conçu et testé par la suite en utilisant la formule de la chaleur Ts (3.1), qui est placé à une distance de la cellule présentée dans la Figure 3.1.

$$\frac{H}{a}(f_{c1}-f_{a1})(\sqrt{3}+\tan \alpha_2)(1+\tan^2 \alpha_1)}{\sqrt{3}(1-\tan \alpha_1 \tan \alpha_2)-(\tan \alpha_1+\tan \alpha_2)} + f_{a1} \leftrightarrow T_s \quad (3.1)$$

$$\text{Avec } \tan \alpha : \tan \alpha \leftrightarrow \frac{2}{\sqrt{3}} \left(\frac{V_B - V_A}{V_C - V_A} - \frac{1}{2} \right)$$

L'équation (3.1) représente la localisation des pics thermiques, qui prend en considération les angles α_1 et α_2 , et les fréquences f_{c1} et f_{a1} représentent les paramètres de description d'une seule source de chaleur Ts avec la méthode GDS. Pour obtenir la valeur de la température d'une seule source de chaleur ponctuelle, la distance entre les capteurs et cette source doit être calculée. Deux cellules de capteurs sont nécessaires pour accomplir cette tâche. Les cellules sont placées à une certaine distance H et chacune donne des informations sur les angles α_1 et α_2 , en direction de la source de chaleur.

En prenant en considération le fait que « a » soit relativement petit, nous pouvons présumer que la source de chaleur et le centre des cellules à partir du triangle dont un côté et les valeurs des angles adjacents à ce côté sont connus.

L'un des objectifs importants à atteindre est de trouver l'emplacement idéal de ces deux cellules en se basant sur une série de simulations logicielles et matérielles.

L'inconvénient majeur de cette méthode réside dans la complexité du calcul présenté par l'équation (3.1). C'est pour cela que la modélisation de cette équation sous Simulink/Matlab et l'implantation sur la carte FPGA se sont avérées nécessaires, surtout s'il s'agit de circuits caractérisés par des capacités de calcul très élevées.

3.3 Modélisation de l'unité de localisation des pics thermiques

Les deux Figures suivantes (3.2 et 3.3) montrent la modélisation de l'équation (3.1) pour détecter et localiser les pics thermiques en utilisant des blocks Simulink.

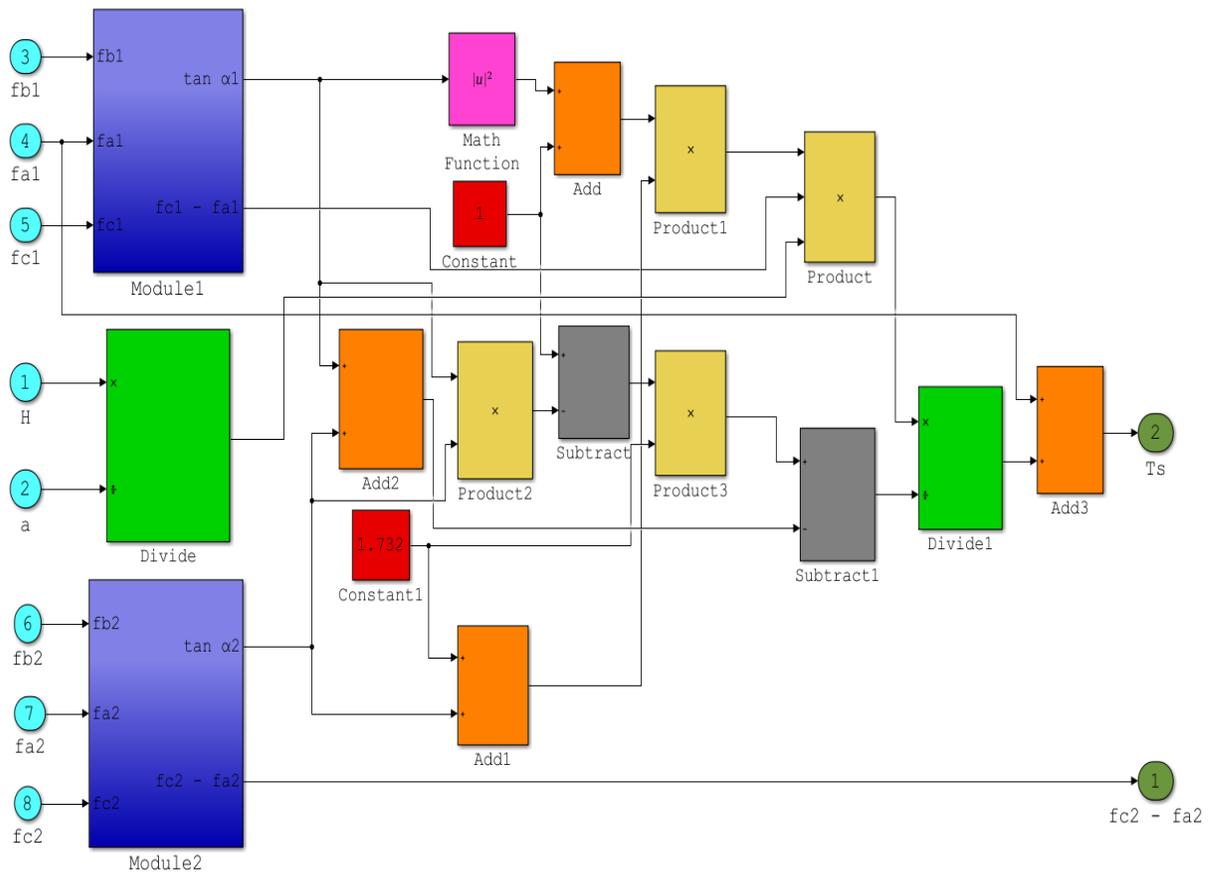


Figure 3.2: L'unité de détection des pics thermiques d'une source de chaleur Ts avec Simulink/Matlab.

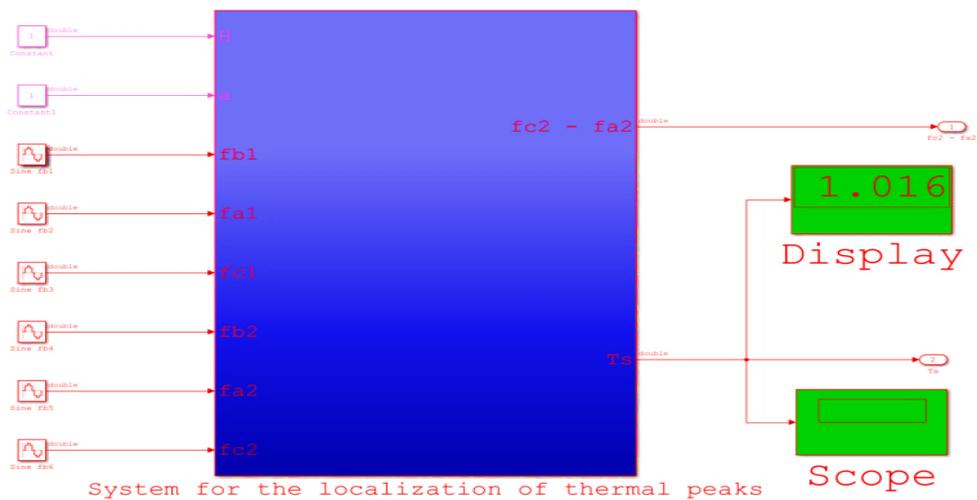


Figure 3.3: Système de calcul avec Simulink/Matlab.

Pour tester le module de détection des pics thermiques développé sous Simulink/Matlab en utilisant l'équation (3.1), la relation entre la température et la fréquence (LUT : Look Up Table) donnée dans la Figure 3.4 a été utilisée.

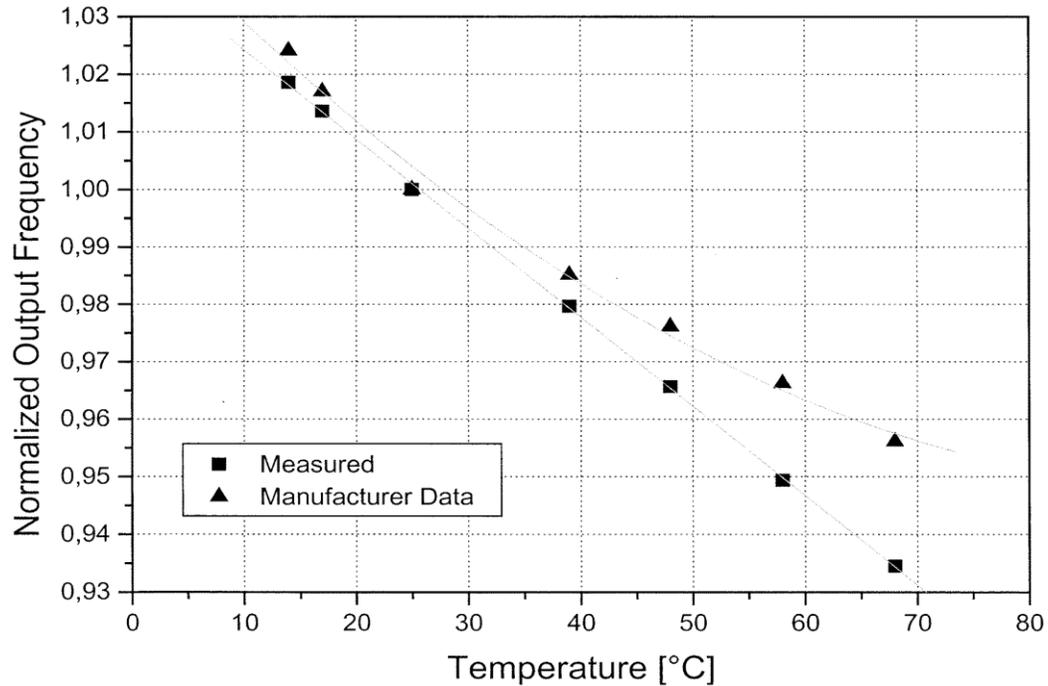


Figure 3.4: Réponse normalisée de l'oscillateur en anneau en fonction de la température.

Cette étude a été développée dans [31] ; ainsi, à $T = 25\text{ °C}$, le RO oscille à une fréquence $f = 1\text{ MHz}$. Si on suppose par exemple que $f_{a1} = f_{c1} = 1\text{ MHz}$ est remplacée par cette valeur dans l'équation (3.1), $T_s = 1\text{ °C}$. Donc, pour valider les résultats de notre module développé, les mêmes valeurs des deux fréquences et les résultats affichés sont remplacés $T_s = 1.016\text{ °C}$ (voir la Figure 3.3), la réponse correspond exactement à celle trouvée théoriquement.

3.4 Algorithme de traitement de données provenant des capteurs RO

Le fonctionnement de l'algorithme est basé sur la modélisation qui est faite dans la section 3.3, tout en utilisant les ressources disponibles dans le laboratoire LIMA de l'UQO. Donc, les mesures et l'étude préliminaire d'un capteur à base de RO sous l'outil Simulink/Matlab ont été effectuées, ce capteur étant conçu pour déterminer le nombre d'informations sur chaque pic thermique localisé. La Figure 3.5 montre les résultats trouvés.

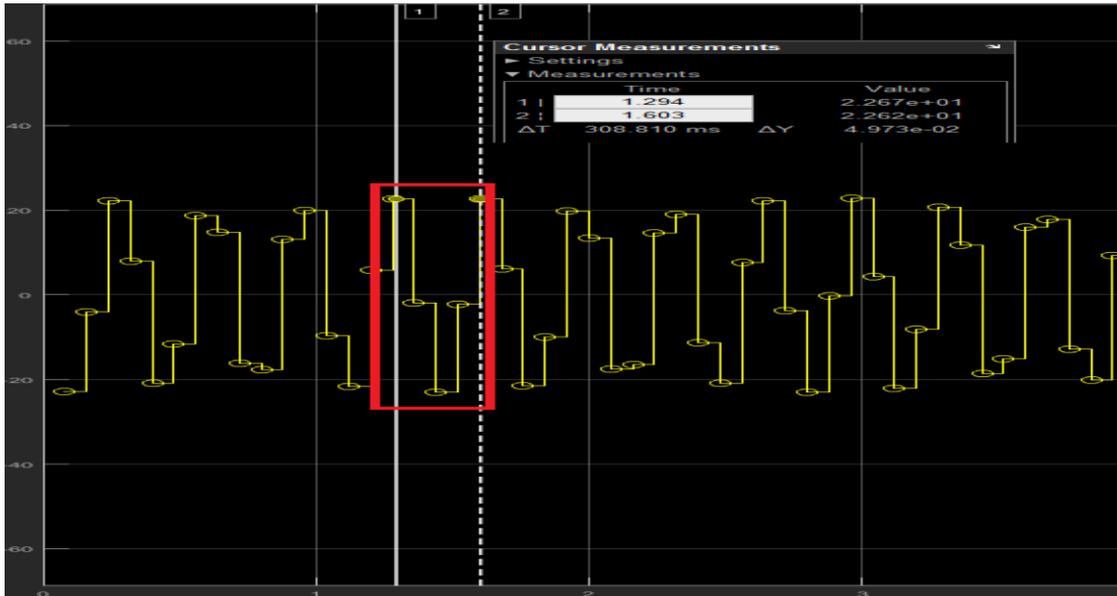


Figure 3.5: Traitement de données sur les pics thermiques provenant des capteurs RO.

Les résultats affichés à la Figure 3.5 montrent le fonctionnement de notre algorithme pour le calcul et traitement de données sur les pics thermiques provenant des capteurs RO. Le module reçoit cinq informations pour caractériser le pic thermique; ce résultat confirme et valide la méthodologie adoptée pour la modélisation de l'équation (3.1), car la simulation de l'unité de détection des pics thermiques fournit cinq informations provenant de chaque capteur RO (voir la chapitre 4). Ces résultats trouvés seront utilisés par la suite pour une implémentation sur carte FPGA, dans le but de valider l'efficacité de l'algorithme développé en utilisant la méthode GDS basée sur des capteurs RO.

3.5 Simulation et implémentation FPGA

L'objectif principal de cette section est l'implémentation et la validation des résultats obtenus par la modélisation avec Simulink/Matlab. Le code VHDL est utilisé pour décrire l'architecture de l'algorithme développé. Cette architecture sera simulée avec l'outil Modelsim sous Quartus prime pour améliorer les performances et finalement l'implémenter sur la carte FPGA. Le flux de la conception sera divisé en trois parties : simulation, synthèse, et implémentation du code VHDL sur FPGA. Une description de chaque partie est présentée dans les sections suivantes.

3.5.1 Création et simulation du code VHDL avec l'outil Modelsim

Cette partie présente la description de l'architecture de l'unité de détection des pics thermiques en utilisant un éditeur de code VHDL. Pour ce faire, nous avons généré les deux fichiers VHDL, code.vhd et test_bench.vhd (voir l'annexe B) avec le générateur système du Quartus Prime Navigator, qui peut synthétiser le design et générer les fichiers RTL, comme montré dans la Figure 3.6 suivante.

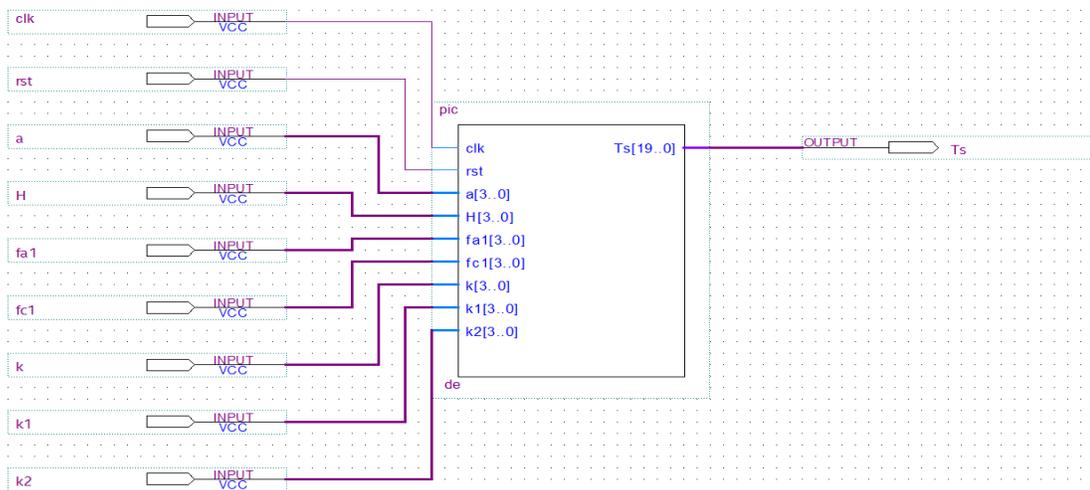


Figure 3.6: Structure haut niveau du module de détection sous Quartus Prime.

À la suite de la création de la structure de notre module de détection des pics thermiques avec Quartus Prime, une simulation est faite dans les mêmes conditions utilisées dans la section 3.3 et la Figure 3.7 montre les résultats obtenus.

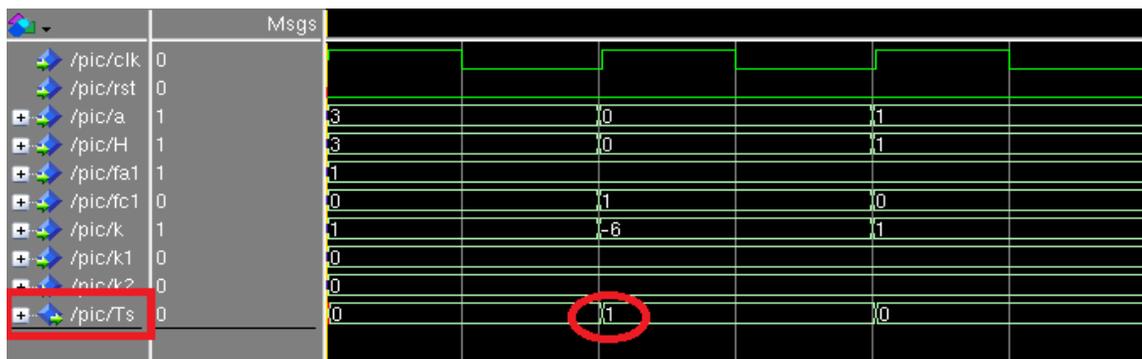


Figure 3.7: Résultats de simulation logique de l'unité de détection des pics thermiques.

La valeur encadrée en rouge dans la Figure 3.7 confirme bien la valeur de T_s trouvée théoriquement par la modélisation, ce qui signifie que le code VHDL développé est correct, ainsi que la modélisation réalisée. Dans ce travail, une équation d'une seule source de chaleur basée sur GDS pour la détection des pics thermiques est modélisée, simulée, puis vérifiée avec un code VHDL et finalement testée avec un « test Bench » au laboratoire LIMA.

3.5.2 L'implémentation sur la carte FPGA

Une fois que l'assignement de chaque pin de l'architecture développée est compilé et fini, le programme est bien téléchargé avec succès sur la carte FPGA DE1 cyclone V, famille 5CSEMA5F31C6. La Figure 3.8 suivante montre la valeur (1 °C) théoriquement obtenue à l'aide de l'équation (3.1), sans virgule flottante à 15 secondes sur l'écran LCD.

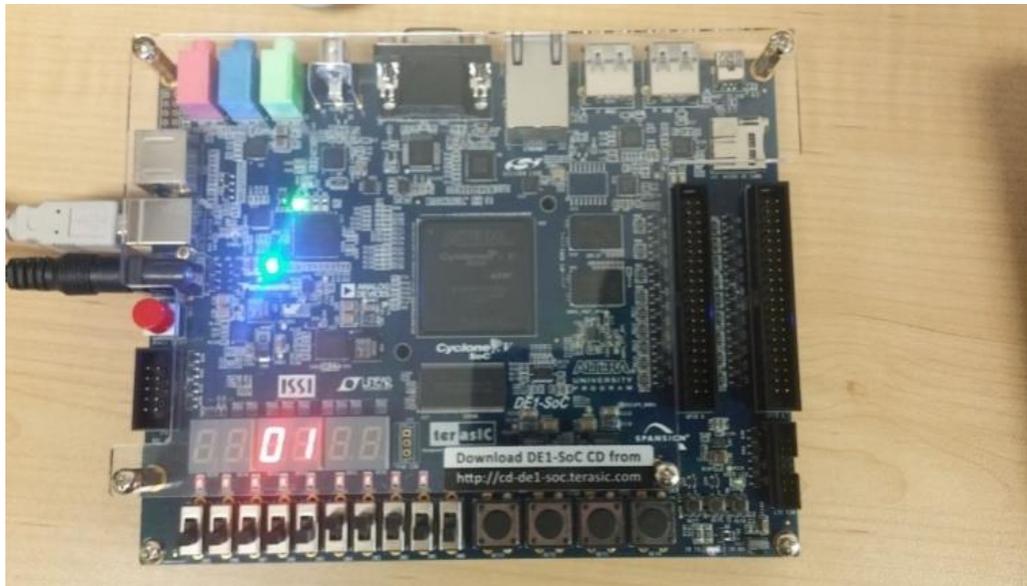


Figure 3.8: Validation des résultats de T_s sur un écran LCD après l'implémentation.

La simulation et l'implémentation sur la plateforme DE1 peuvent être appliquées dans n'importe quel environnement pour améliorer la performance en se conformant aux conditions environnementales. Celle-ci est également capable de maintenir la température constante à une certaine valeur, malgré les changements dans l'environnement. L'un des problèmes récurrents dans le domaine de l'électronique est la surchauffe, surtout quand il s'agit des circuits intégrés et des microsystèmes complexes comme l'ASIC du scanner LabPET II.

L'approche traditionnelle consiste à placer plusieurs capteurs autour de la puce. Par la suite, les sorties peuvent être montrées simultanément et comparées à une tension de référence qui indique le cas de surchauffe.

L'idée de la méthode proposée est de prédire la température localement et le gradient tout au long de la distance donnée dans certaines places uniquement sur la surface surveillée et évaluer en temps réel les informations obtenues dans une zone réduite pour prédire la température de la source de chaleur T_s . En conséquence, ces pics détectés sont essentiels pour la surveillance thermique afin d'éviter les problèmes de contraintes, d'autant plus que dans la majorité des cas la surchauffe se passe dans une seule zone bien localisée.

3.6 Test de l'efficacité de la méthode GDS (Gradient Direction Sensor)

3.6.1 Simulation avec l'outil Modelsim

La structure de la méthode GDS consiste d'avoir trois capteurs RO (A, B et C) pour la gestion thermique basée sur des capteurs après le développement du code VHDL ainsi que son test bench (voir l'annexe C). Pour ce faire, nous avons pris en considération le fait que nous avons un triangle équilatéral. C'est pourquoi la vitesse de transmission des informations thermiques est la même pour les trois capteurs. Par conséquent, l'information en 10 ns pour les trois capteurs pour un total de 30 ns signifie que pour chaque période de 30 ns, nous n'aurons qu'une seule information pour un seul capteur, soit (10 ns ou 20 ns ou 30 ns), après la compilation des deux codes VHDL sous l'outil Modelsim. La Figure 3.9 montre les résultats de la simulation.



Figure 3.9: Résultats de la simulation pour un seul capteur avec l'outil Modelsim.

Comme cela peut être remarqué sur la Figure 3.9, les signaux de simulation expliquent le rôle des oscillateurs en anneau pour fournir assez d’informations sur la température ; par exemple dans notre test, la première valeur logique, qui est de 10 ns, reproduit la sortie logique du premier capteur sur la plage de 30 ns.

3.6.2 Simulation avec l’outil NCLAUNCH

Pour la validation, les mêmes simulations ont été répétées avec les mêmes conditions pour les trois capteurs A, B et C, cette fois avec l’outil NCLAUNCH de Cadence, ce choix étant fait pour vérifier la possibilité d’intégration au point de vue technologique et l’intégration de la méthode GDS ainsi que la fréquence de fonctionnement pour chaque capteur. La Figure 3.10 montre les résultats de la simulation.

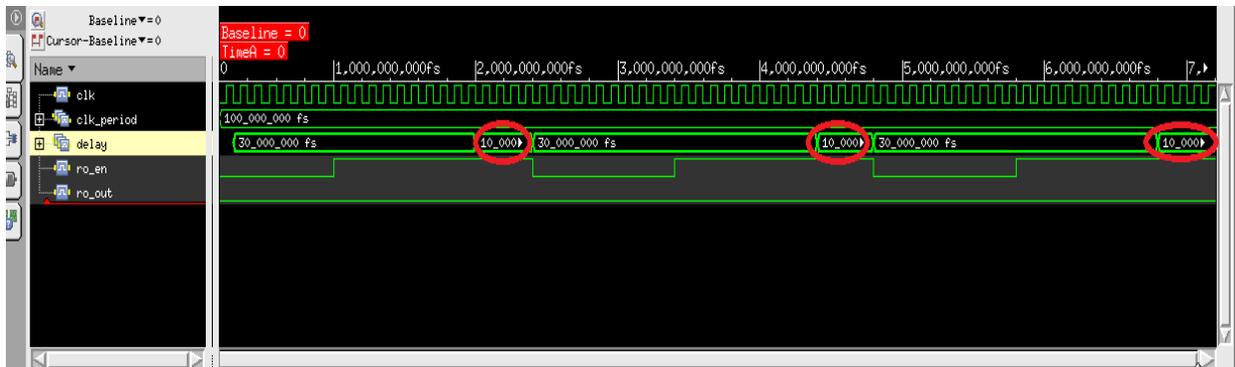


Figure 3.10: Résultats de la simulation pour un seul capteur avec sa fréquence fs.

La Figure 3.10 montre la validation des résultats de la simulation pour un seul capteur avec sa fréquence fs, à l’aide de l’outil NCLAUNCH de Cadence. On peut en déduire qu’il existe une possibilité d’intégration de la méthode GDS d’un point de vue technologique. Maintenant, il est temps d’insérer des pics thermiques à l’aide d’un code développé sous l’outil NCLAUNCH, afin de généraliser et standardiser cette méthode pour n’importe quelle ASIC et pour tout circuit intégré (CI). L’insertion des pics thermiques se fait à l’aide des études réalisées par Lopez-Buedo et al [31] qui démontrent la relation entre la température et la fréquence ainsi que la relativité des deux paramètres. Par exemple, la valeur 10 °C correspond à 10 Mhz et ainsi de suite. La Figure 3.11 ci-dessous présente les valeurs de température en fonction des fréquences obtenues après l’insertion des valeurs fs dans la Figure 3.10.

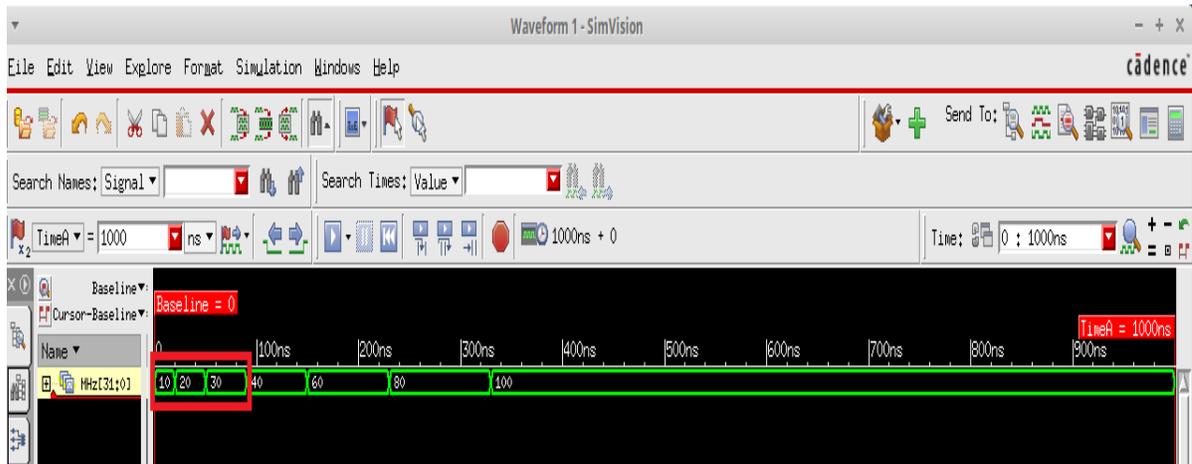


Figure 3.11: Résultats des pics thermiques insérés selon [31] en fonction de fs.

3.6.3 Résultats de l'implémentation FPGA de détection des pics thermiques

Après la synthèse de la structure de l'oscillateur en anneau simple avec Quartus Prime d'Altera, le code VHDL a été validé et testé. Une fois compilé après l'affectation des broches, le programme est prêt à être téléchargé sur la carte DE1 cyclone V, famille 5CSEMA5F31C6. La Figure 3.12 montre que le code VHDL est téléchargé avec succès sur la carte FPGA, et que les résultats des pics thermiques sont insérés pour les trois capteurs A, B et C.

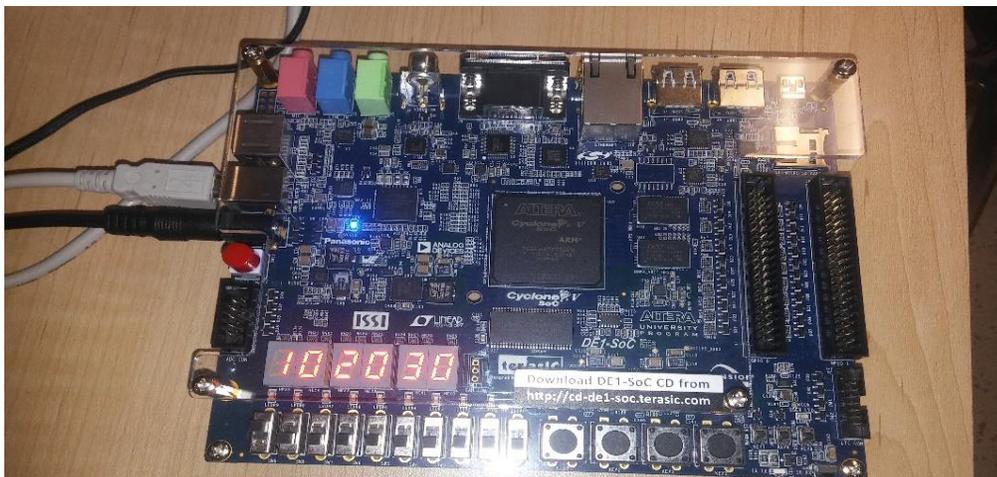


Figure 3.12: Implémentation des pics thermiques insérés pour les trois capteurs A, B et C.

Après la simulation, la validation et l'implémentation sur carte FPGA, nous pouvons dire que nous avons réussi à faire la preuve que cette méthode peut être appliquée dans n'importe

quel type d'environnement pour obtenir des performances améliorées pour le contrôle de la température des systèmes sur puce (SOC) basés sur trois oscillateurs en anneau.

3.7 Résumé

L'objectif principal du troisième chapitre était de proposer, une nouvelle méthode pour évaluer et prédire les pics thermiques dans le scanner LabPET II basée sur la méthode de mesure thermique GDS. Dans ce chapitre, une unité de détection des pics thermiques a été conçue en utilisant l'équation dans le cas d'une seule source de chaleur. La modélisation est réalisée avec Simulink/Matlab, l'unité de détection ayant été développée en utilisant le langage VHDL. Après la modélisation et simulation, nous avons effectué une implémentation sur carte FPGA pour validation du principe de la GDS. L'implémentation a permis de localiser et de caractériser chaque pic thermique.

Pour valider notre méthodologie nous avons procédé la conception d'un capteur de température RO intégré conçu en technologie 65 nm pour le contrôle et la surveillance thermique.

Chapitre 4: Conception physique en CMOS 65 d'un capteur de température

4.1. Introduction

Dans ce chapitre, nous allons procéder la conception d'un capteur de température dédié aux cellules utilisées par la méthode GDS, soit les oscillateurs en anneaux RO. Une étude consacrée à la répercussion des différentes bibliothèques technologiques sera aussi évaluée. Ainsi, nous allons effectuer une évaluation du capteur de point de vue puissance, superficie des ports logiques et nombre de cellules. Les capteurs de température font maintenant partie intégrante des systèmes électroniques [38-41]. La mesure de la température permet d'intervenir dans le cas d'une surchauffe, une intervention pouvant être effectuée sous forme d'une compensation sur les mesures, de contrôle de la polarisation des PDA, tout comme lors d'une demande de refroidissement du système ou même d'un arrêt du circuit pour l'écartier et éviter qu'il ne perturbe les circuits voisins. Dans les circuits intégrés, il est possible de mesurer la température en utilisant des composants de base comme la résistance, le transistor ou même la capacité. À titre d'exemple, pour une résistance donnée [42], l'équation relative de sa valeur de résistance dépend linéairement de la température T selon la formule :

$$R(T) = R_{T_0} * [1 + R_{CR1} * (T - T_0)] \quad (4.1)$$

Où T_0 est la température ambiante (K), T_{CR1} est le coefficient de la température (K^{-1}) et R_{T_0} est la résistivité à la température ambiante. Ces composants occupent cependant un grand espace dans les dessins des masques [43], et dans certains cas, il peut y avoir le problème d'auto-échauffement, comme pour la résistance. Ce qui signifie que le composant peut s'échauffer en introduisant de la chaleur dans le circuit.

La finalité d'un capteur est de fournir une information pertinente et représentative d'une ou plusieurs grandeurs physiques liées au phénomène observé. La pertinence d'une information peut résider dans sa conformité aux besoins du consommateur. Dans ces conditions, le capteur idéal est un capteur dont on peut extraire de la mesure l'information utile et correcte. Par conséquent, cela signifie qu'on doit réduire au maximum les erreurs de mesures et filtrer la

mesure de toute information superflue, de façon à répondre aux besoins du consommateur. Pour réaliser ces deux opérations, il est fondamental de posséder intrinsèquement des connaissances sur le phénomène observé, et sur la destination des résultats de la mesure. Il est aussi nécessaire de posséder les outils adaptés à la manipulation de cette connaissance [38]. Dans la suite de ce chapitre, les capteurs intelligents représentant un premier pas vers le capteur idéal seront présentés tout en sachant que les capteurs de température font maintenant une partie intégrante des systèmes électroniques [44].

Plusieurs méthodes et architectures ont été développées pour permettre une intégration sur technologie CMOS (Complementary Metal Oxide Semi-Conductor) afin de réduire les coûts et de mesurer directement la température interne des circuits intégrés. Les capteurs de température intégrés peuvent se classer essentiellement en trois catégories basées respectivement sur la mesure de la tension, de la fréquence ou du temps. Il existe plusieurs méthodes de mesure de la température.

La méthode utilisée dans cette thèse est celle des RO (Ring Oscillator), car les capteurs en anneau sont intégrables et sont facilement intégrés à la puce durant le processus de fabrication CMOS, et conviennent en plus à l'architecture de l'ASIC (possibilité de présence des RO dans ses cellules). Comme tous les oscillateurs en anneaux, leurs principes de fonctionnement sont basés sur la contre-réaction du signal de sortie vers l'entrée d'un amplificateur avec un gain ≥ 1 et avec un déphasage de 180° . Supposons que cet amplificateur a une constante de temps τ , alors qu'une période de 2π a besoin de 2τ , ce qui donne une fréquence de sortie :

$$f = \frac{1}{2\tau} \text{ [Hz]} \quad (4.2)$$

Dans la littérature, les RO sont utilisés pour mesurer la température dans un FPGA [45], le RO est activé et la mesure est effectuée après 0,2 ms pour s'assurer que la sortie de ce dernier sera stable. Cependant, il faut activer le RO pour une petite période de mesure pour éviter le phénomène d'auto-réchauffement « self heating » dû à la dissipation de l'énergie du RO lui-même. Ce type d'oscillateur est basé sur le temps de commutation d'un inverseur. En connectant un nombre impair d'inverseurs, on obtient un signal oscillant naturellement à la sortie de chaque inverseur de la chaîne. La fréquence d'oscillation est directement liée au nombre d'inverseurs.

Plus on a d'inverseurs, plus la fréquence diminue. Pour contrôler l'oscillation, on peut remplacer un inverseur par une porte NAND, afin d'arrêter ou de mettre en marche le système oscillant. La structure la plus simple consiste à cascader des inverseurs MOS comme le montre le schéma de la Figure 4.1.

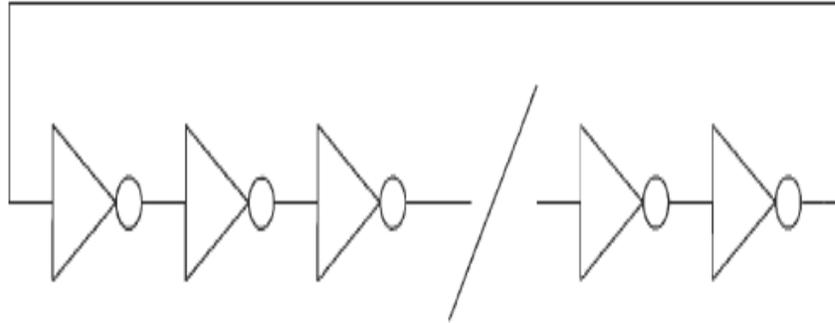


Figure 4.1. Structure générale d'un oscillateur en anneau à base d'inverseurs MOS.

La période des oscillations vaut alors :

$$T_0 = 2. N. t \quad (4.3)$$

Où N désigne le nombre de cellules cascadées et t le retard généré par chaque cellule. L'avantage de cette structure réside dans le fait qu'elle peut être implémentée aussi bien avec un nombre pair qu'un nombre impair de cellules. Ceci offre un plus grand degré de liberté sur la constellation en phase des signaux disponibles en sortie, mais permet surtout de générer, dans le cas d'une implémentation avec un nombre pair de cellules, des signaux en quadrature de phases, ce qui constitue un de nos objectifs.

La référence [46] présente différentes techniques permettant de faire varier la fréquence d'oscillation de la structure. Celles-ci sont basées sur le contrôle en tension du retard généré par chaque cellule, sur le contrôle du temps de la montée et la descente de chaque cellule ou sur la variation commandée du nombre de cellules. Un des inconvénients de cette topologie est la limitation en fréquence imposée par le retard minimal généré par une cellule. Pour pallier ce problème et ainsi augmenter les performances fréquentielles de cette structure, une technique basée sur l'implémentation d'éléments à retard différent est utilisée dans ce chapitre.

4.2. Nombre nécessaire de ROs intégrés pour la surveillance thermique

Les capteurs de température basés sur de ROs intégrés peuvent être divisés en trois catégories en fonction de la tension, de la fréquence, et de la durée. La lecture de la différence des fréquences d'oscillation permet de convertir l'information de température en fréquence [47-51]. Ce travail présente une nouvelle méthode pour déterminer le nombre exact d'inverseurs à base des oscillateurs en anneaux (RO) qui forment un capteur de température à utiliser de manière efficace pour la gestion et la surveillance thermique de chaque ASIC du scanner LabPET II. Cette méthode est très efficace, simple et facile à implémenter. Le capteur de température proposé a été conçu avec la technologie CMOS en utilisant la librairie TSMC 65 nm. Celle-ci occupe une surface en silicium très réduite, pour déduire le nombre exact d'inverseurs qui forment un oscillateur en anneau en se basant sur l'étude et les simulations réalisées (chapitre 2, Figure 2.7), qui donnent une idée claire de l'évolution thermique de notre ASIC (température minimale et maximale). Cette simulation montre l'augmentation de la température qui varie de 298,15 °K (25 °C) à 370 °K (77 °C), les résultats aidant par la suite à déterminer le nombre exact d'inverseurs qu'il faut utiliser pour la surveillance thermique de l'ASIC.

4.2.1. Simulation des ROs à base des inverseurs avec l'outil CADENCE

La nouvelle méthode de contrôle basée sur des ROs pour la compensation thermique permet d'assurer le bon fonctionnement des microsystemes complexes tels que l'ASIC du scanner LabPET II. Cette méthode est devenue un atout essentiel pour résoudre ce problème thermique, offrant une promesse de contrôle assurée. Les caractéristiques des ROs seront ensuite généralisées dans les microsystemes à haute densité, pour le développement d'une unité intégrée de contrôle des contraintes thermiques utilisant notre proposition décrite dans la présente thèse. La première étape est réalisée à partir d'un circuit d'un inverseur normal et en en ajoutant deux autres pour former l'oscillateur en anneau (RO). La taille minimale de la technologie CMOS 65 nm obtenue est une longueur de transistor de $l = 1800$ nm et une largeur de $W = 5580$ nm. La Figure 4.2 présente l'inverseur qui sera le premier dans la conception pour former un capteur d'oscillateur en anneau.

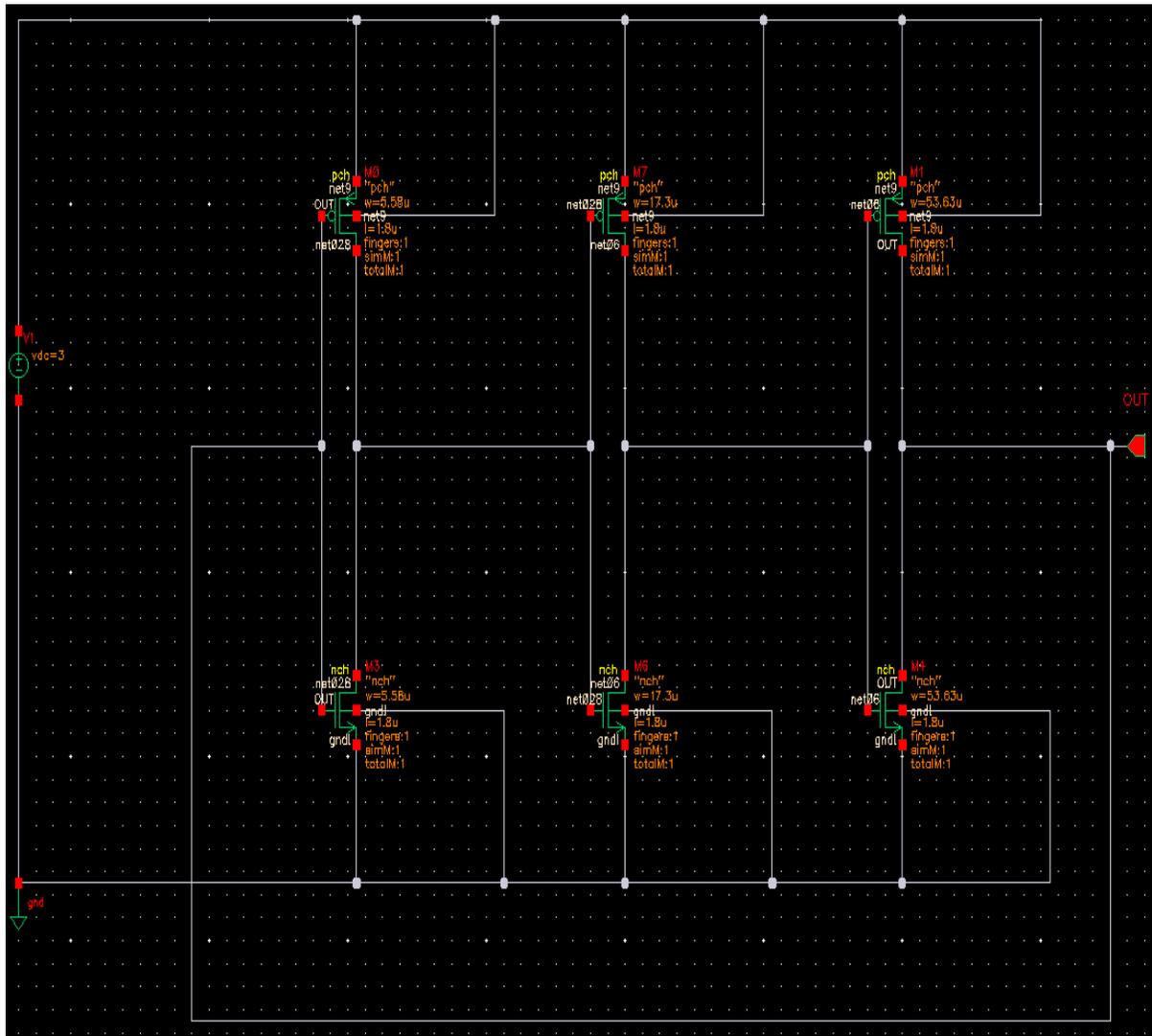


Figure 4.2. Schéma d'un capteur thermique RO à base de trois inverseurs.

Une combinaison a été réalisée en variant la taille minimale afin d'obtenir des inverseurs symétriques. La Figure 4.2 montre les trois combinaisons effectuées ainsi que la valeur de la tension utilisée.

Pour observer la variation de la fréquence d'un oscillateur en anneau en fonction du nombre d'inverseurs, il faut tout d'abord faire des simulations d'un capteur RO à base de trois inverseurs, ensuite avec un capteur à base de cinq inverseurs, et jusqu'à avoir la bonne fréquence en fonction de la température. La Figure 4.3 suivante présente les valeurs de la température en fonction des fréquences d'un oscillateur en anneau [52].

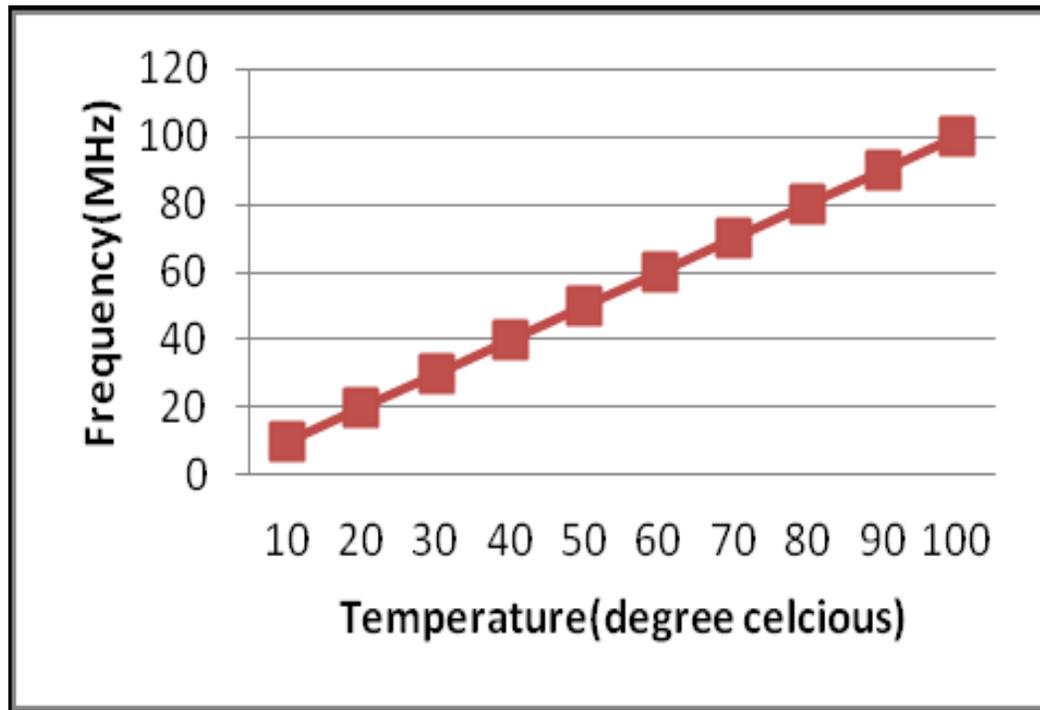


Figure 4.3. La fréquence d'oscillation du RO en fonction de la température.

Les résultats présentés dans ce graphe sont très importants pour déterminer le nombre exact d'inverseurs. La Figure 4.3 aide à trouver précisément la valeur de la fréquence qu'il faut utiliser plus tard pour trouver le nombre d'inverseurs à utiliser pour générer la même fréquence. Il a fallu spécifier une configuration d'inverseurs (nombre, dimensions) et faire varier la température de simulation pour déterminer les fréquences correspondantes.

4.2.2. Simulation d'un capteur RO à base de trois inverseurs avec l'outil CADENCE

Toutes les simulations peuvent être configurées et démarrées à partir d'ADE. L'utilisation d'ADE GXL reste assez complexe sous Cadence en raison du grand nombre de menus.

Par souci de simplicité, on commence par présenter un moyen plus simple de configurer les simulations, à l'aide d'ADE XL sous l'outil Cadence. Dans les prochaines étapes, il sera ainsi plus facile de gérer toutes les simulations d'ADE XL.

La Figure 4.4 montre la configuration requise des simulations à une température de 77 °C.

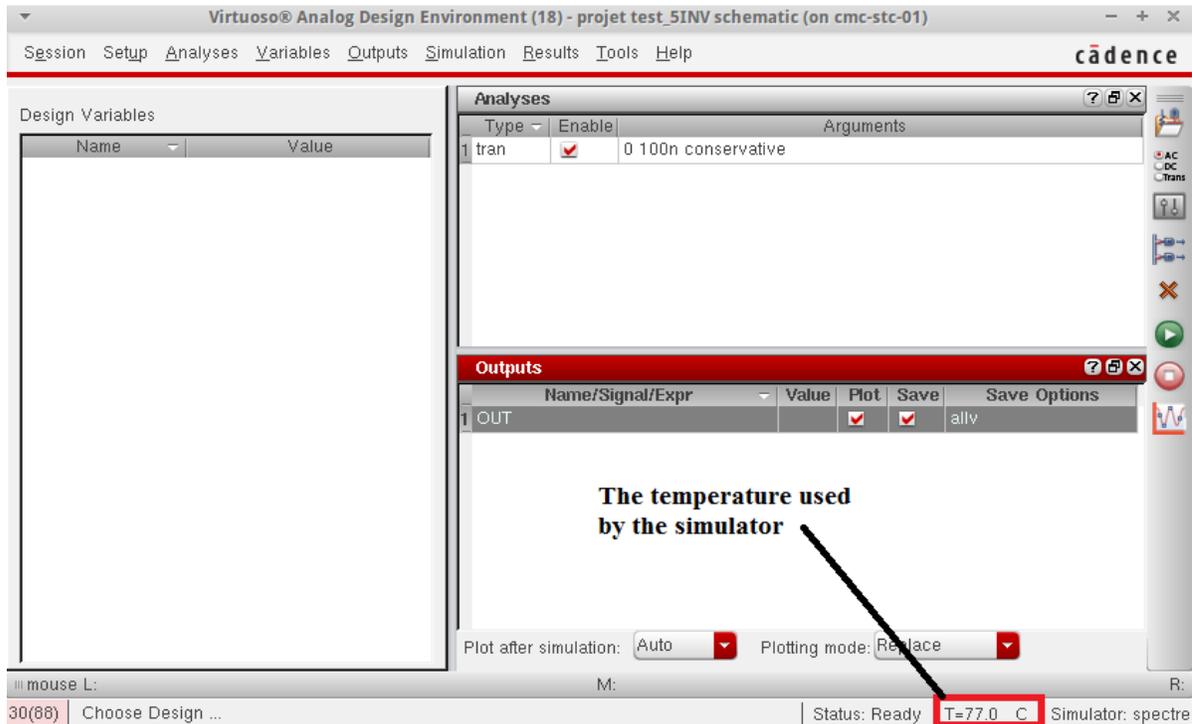


Figure 4.4. Fixation de la température dans l'environnement ADE XL de Cadence.

Pour ce faire, les simulations sont effectuées pour des oscillateurs en anneaux avec trois inverseurs à une température fixée à 77 ° C. Le capteur RO est à base de trois inverseurs comme illustré dans la Figure 4.5.

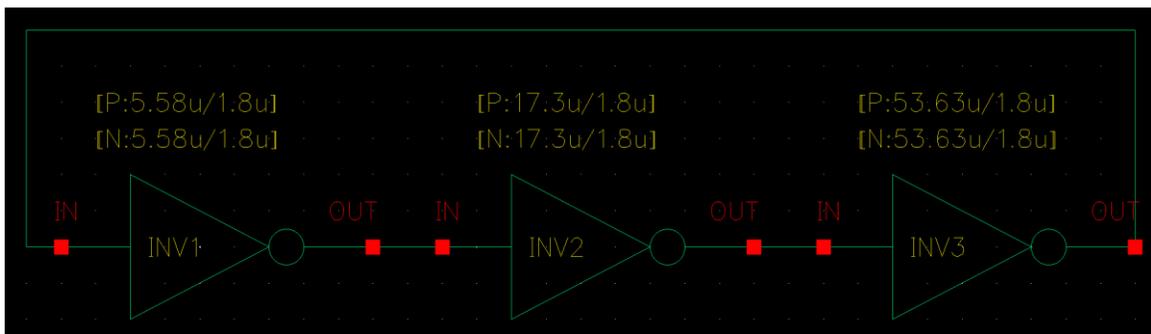


Figure 4.5. Schéma d'un RO à base de trois inverseurs sous l'outil Cadence.

En simulant cet oscillateur en anneau (RO) à base de trois inverseurs, nous obtenons une période de 5,635 ns, correspondant à une fréquence d'environ 208,4 MHz, comme illustré dans la Figure 4.6.

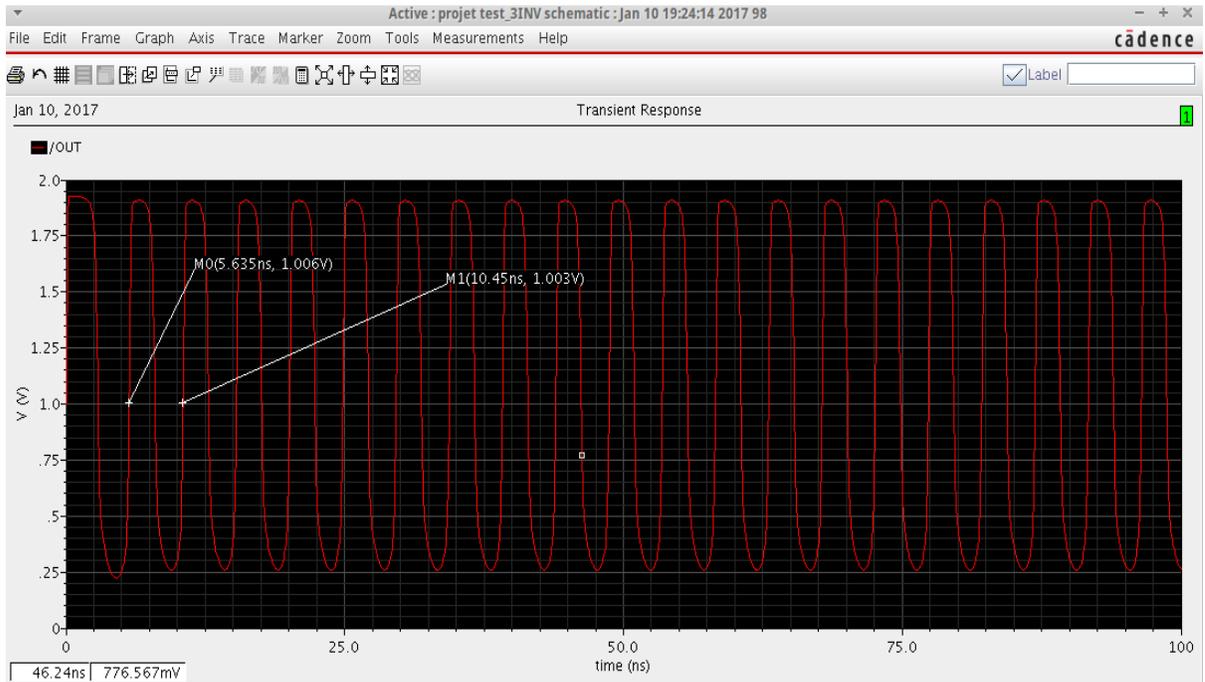


Figure 4.6. Résultats de la fréquence du RO pour trois inverseurs.

4.2.3. Simulation d'un capteur RO à base de cinq inverseurs avec l'outil CADENCE

Ensuite des simulations pour des oscillateurs en anneaux à base de cinq inverseurs à une température fixée à 77°C ont été effectuées. Le capteur RO à base de cinq inverseurs est illustré à la Figure 4.7.

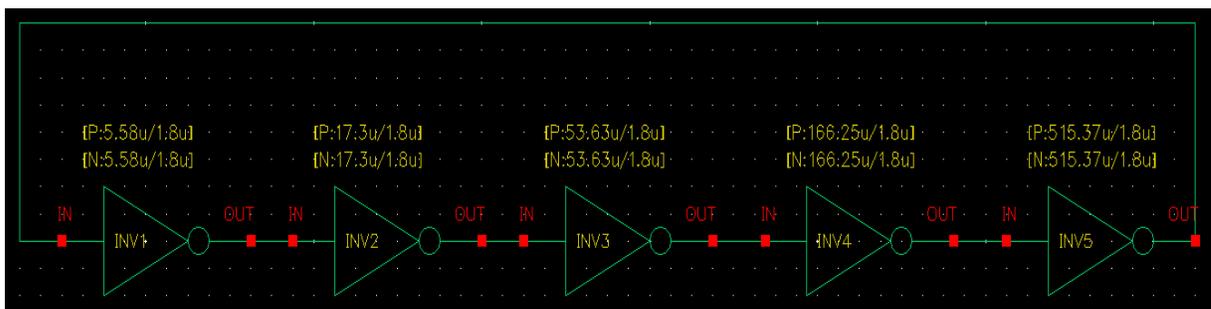


Figure 4.7. Schéma d'un RO à base de cinq inverseurs sous l'outil Cadence.

En simulant cet oscillateur en anneau (RO) à base de cinq inverseurs, nous obtenons une période de 12,7 ns, correspondant à une fréquence d'environ 78,74 MHz, comme illustré à la Figure 4.8.

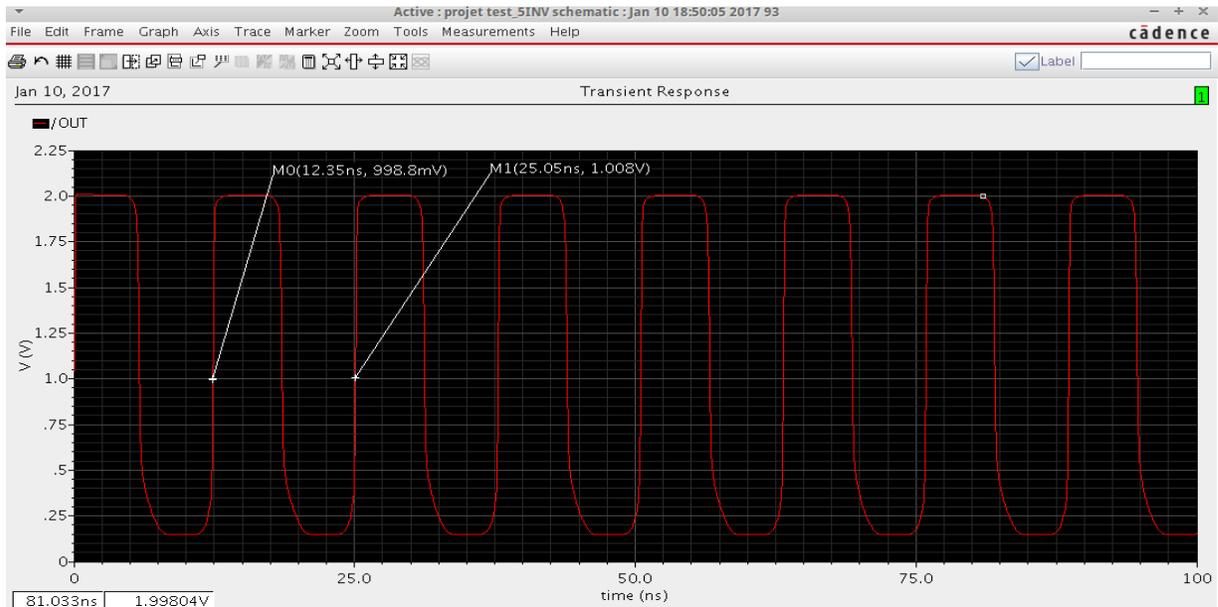


Figure 4.8. Résultats de la fréquence du RO pour cinq inverseurs.

4.2.4. Simulation d'un capteur RO à base de cinq inverseurs avec l'outil CADENCE

Avec l'outil Cadence, des simulations pour des oscillateurs en anneaux à base de sept inverseurs, cette fois-ci, sont réalisées toujours à une température fixée à 77 ° C. Le capteur RO à base de sept inverseurs est illustré à la Figure 4.9.

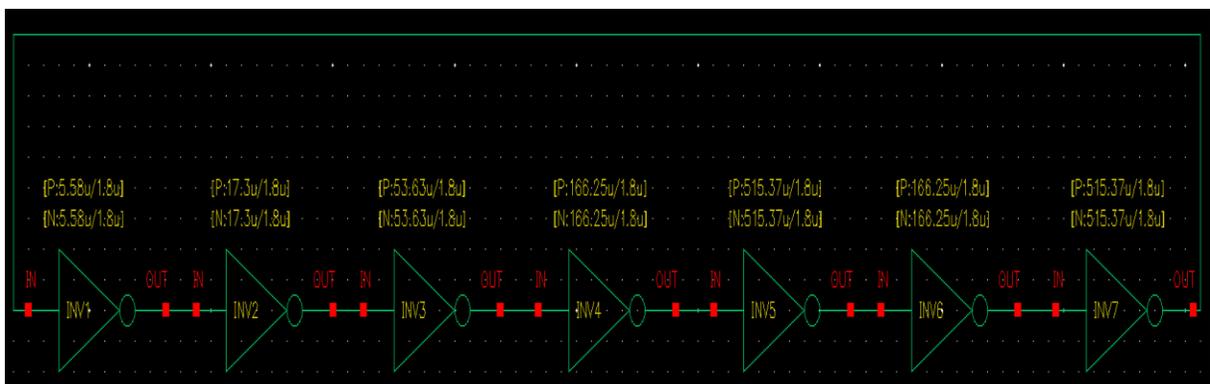


Figure 4.9. Schéma d'un RO à base de sept inverseurs sous l'outil Cadence.

En simulant cet oscillateur en anneau (RO) à base de sept inverseurs, nous obtenons une période de 15,35 ns, correspondant à une fréquence d'environ 61,16 MHz, comme illustré à la Figure 4.10.

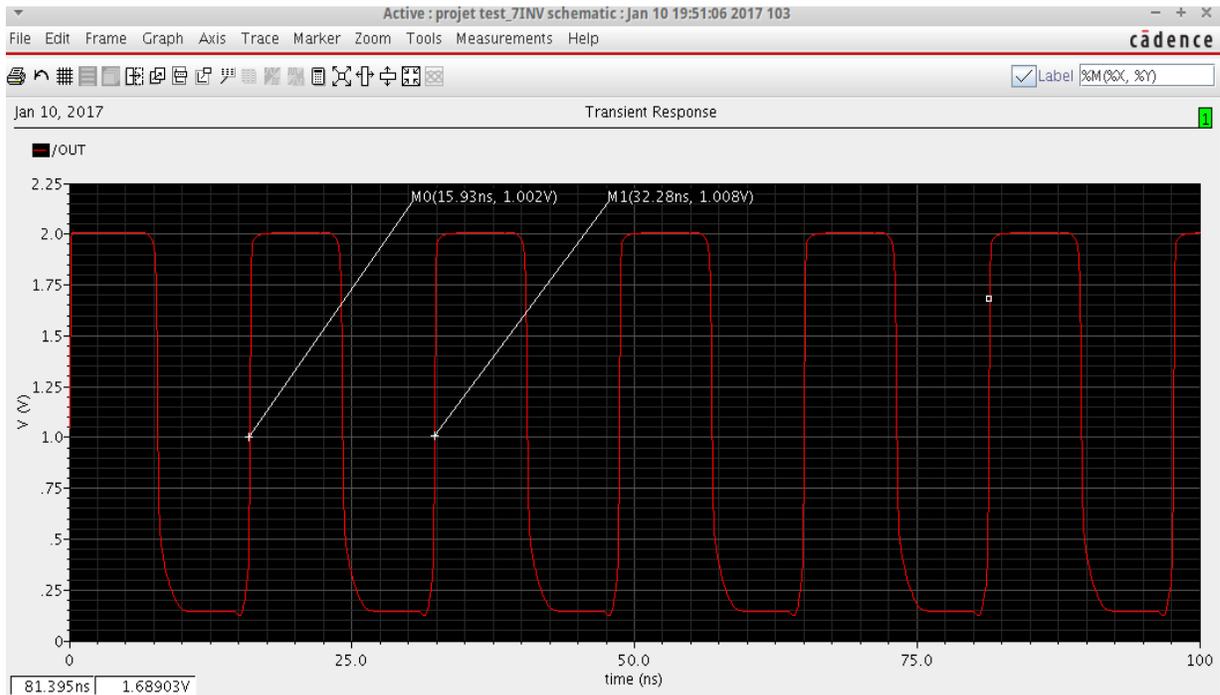


Figure 4.10. Résultats de la fréquence du RO pour sept inverseurs.

Après avoir montré ci-dessus les résultats de simulations, le Tableau 4.1 résume les valeurs de fréquences trouvées en faisant varier le nombre d'inverseurs :

Tableau 4.1. Variation de la fréquence en fonction du nombre d'inverseurs.

Nombres d'inverseurs	Fréquences obtenues (MHz)
3	208.4
5	78.74
7	61.16

On voit au Tableau 4.1 que plus on augmente le nombre d'inverseurs, plus la fréquence est basse. Toutes les simulations ont été effectuées correctement et logiquement, si on compare ces résultats avec les résultats du graphique Figure 4.3, tout en sachant que la valeur de 77 ° C de température correspond à 78 MHz (Figure 4.8). Ceci correspond parfaitement aux résultats de nos simulations qui sont faites par l'oscillateur en anneau RO à cinq inverseurs (voir Tableau 4.1) qui présente clairement ce résultat.

Pour effectuer une surveillance thermique de l'ASIC du scanner LabPET II, nous n'avons besoin que d'un capteur RO à base de cinq inverseurs. L'avantage de notre proposition réside dans le fait qu'elle est applicable à tous les systèmes électroniques complexes.

4.3. Conception d'un capteur de température RO à base de cinq inverseurs

Après avoir défini les spécifications des circuits à concevoir, cette section est dédiée au détail de leur conception en technologie CMOS 65 nm de TSMC. Cette technologie est utilisée pour son rapport gm/id favorable qui permet de minimiser le bruit, sa plage dynamique analogique allouée par l'alimentation 1,8 V, et parce que le laboratoire LIMA fournit les ressources nécessaires pour faire la conception toutes les étapes. En plus, la Société Canadienne de Microélectronique (CMC) offre les outils de cette technologie et subventionne les coûts de fabrication des circuits intégrés pour les universités canadiennes. La mesure de la température de l'ASIC permet d'intervenir en cas de surchauffe, mais surtout de surveiller l'état du scanner LabPET II, de forcer le refroidissement du système électronique et au besoin d'effectuer une compensation sur des mesures. Le principe du capteur de température se base sur la dépendance à la température des temps de montées. Une seule ligne à délais, sensible à la température et branchée à une porte logique NOT, permet de générer l'impulsion désirée. Un signal formé par une horloge à basse fréquence (< 1 kHz) vient exciter au besoin l'entrée du capteur qui fait automatiquement basculer la sortie du NOT jusqu'à ce que le délai soit complété. Ce circuit fonctionne autant sur un front montant de l'horloge que descendant.

Cette architecture est caractérisée par une consommation nulle en l'absence d'impulsion, à l'exception des courants de fuites négligeables à l'échelle de l'ASIC global.

4.3.1. Simulation logique et fonctionnelle du capteur RO à base de cinq inverseurs

L'objectif de cette simulation logique et fonctionnelle avec les deux outils Modelsim (vsim) et NClaunch (nc-sim), afin d'avoir la synthèse et la possibilité d'intégration de notre capteur de température RO à base de cinq inverseurs. Après la compilation des deux codes VHDL (architecture et test bench) du capteur de température RO à base de cinq inverseurs sous l'outil Modelsim, la Figure 4.11 montre les résultats de la simulation.

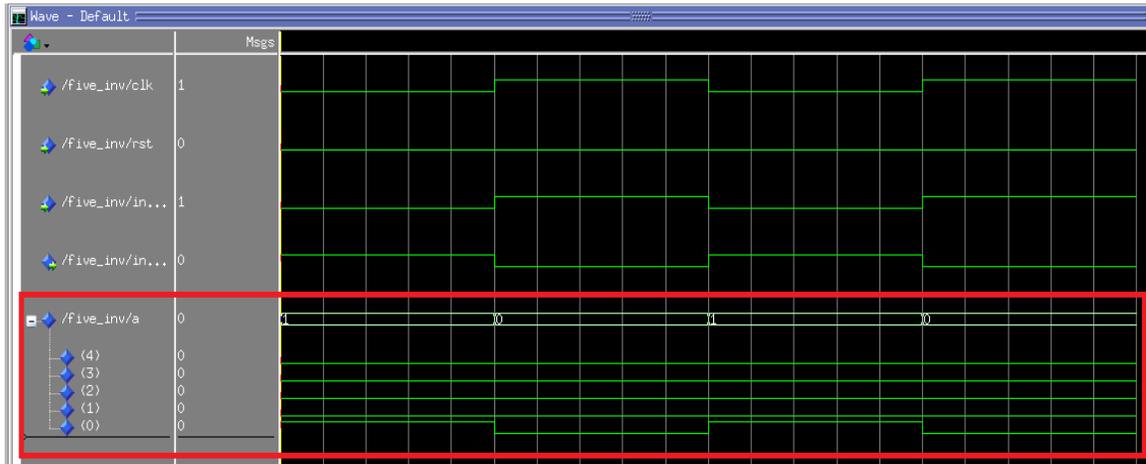


Figure 4.11. Simulation logique du capteur de température RO à base de cinq inverseurs.

Des vecteurs de tests ont été créés afin d'assurer une couverture spécifique en optimisant le temps de l'essai. La Figure 4.11 affiche les résultats qui démontrent que c'est bien pour un capteur de température RO à base des inverseurs. Pour la validation, les mêmes simulations ont été répétées dans les mêmes conditions pour les cinq inverseurs, cette fois avec l'outil NCLAUNCH de Cadence, ce choix visant à vérifier l'aspect technologique sur le plan de la conception et l'intégration du capteur RO. Les figures 4.12 et 4.13 montrent les résultats de la simulation et le schéma du capteur RO.

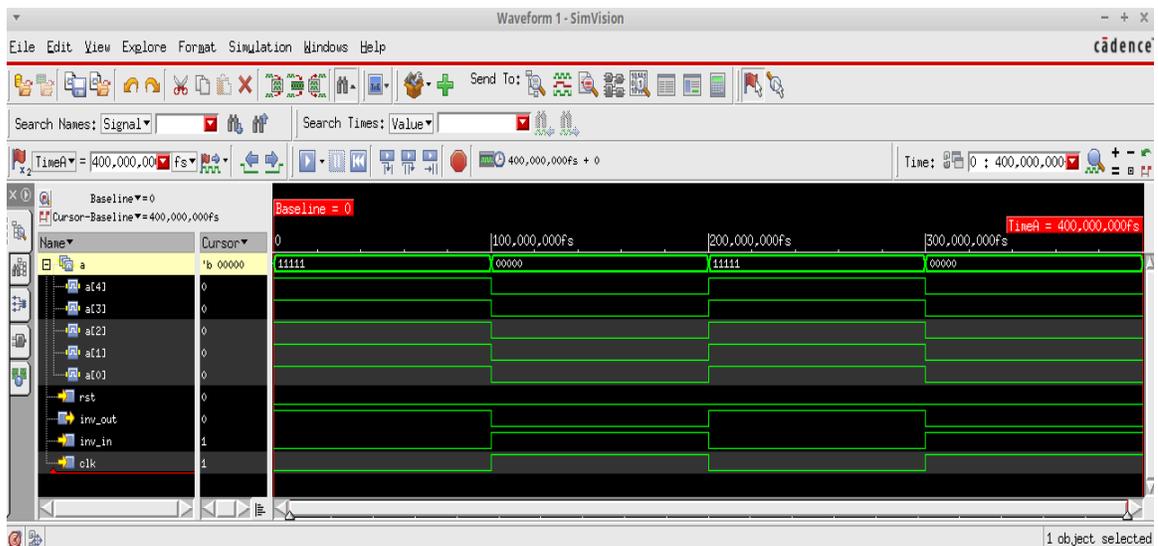


Figure 4.12. Simulation du capteur de température RO à base de cinq inverseurs.

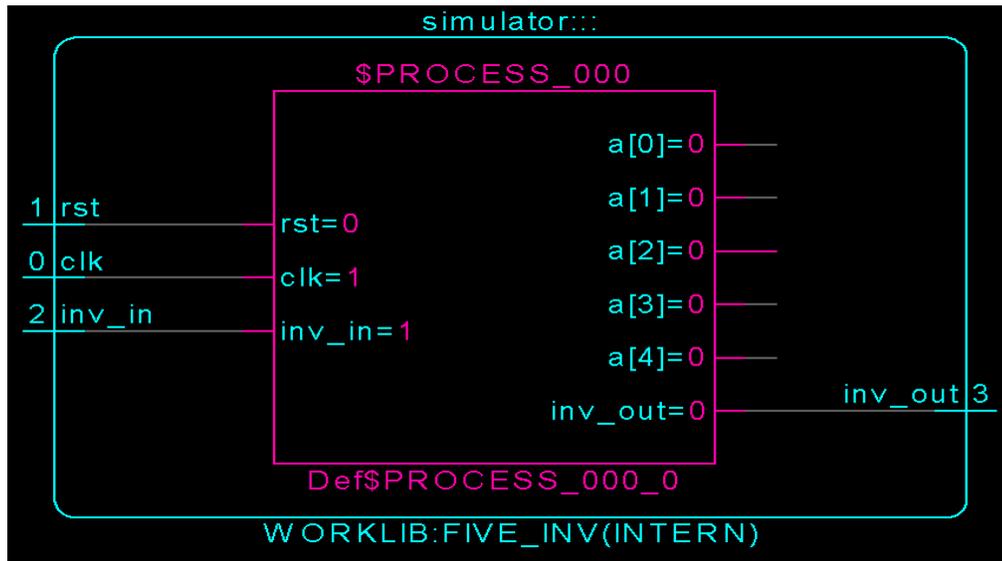


Figure 4.13. Schéma du capteur de température RO à base de cinq inverseurs.

La Figure 4.12 montre la validation des résultats de la simulation pour un seul capteur de température RO à base de cinq inverseurs, à l'aide de l'outil NClanch de Cadence. On peut en déduire qu'il existe une possibilité de conception et intégration d'un point de vue technologique pour ce type de capteur.

4.3.2. Analyse et synthèse du capteur RO à base de cinq inverseurs avec RTL Compiler

Cette partie consiste à synthétiser et optimiser le code de capteur RO avec l'outil 'RTL compiler' de Cadence, afin de généraliser notre conception pour n'importe quel circuit ASIC et pour tout circuit intégré (CI). Pour être en mesure d'exécuter le fichier « Five_Inverter.vhd » dans l'outil « RTL Compiler », il suffit que d'aller dans « Fichier – Script Source » pour ensuite aller sélectionner le script développé (voir le fichier « Five_Inverter.tcl ») (annexe D. Étant donné la sélection directe du script, il n'était pas possible d'obtenir le rapport sommaire, car il n'était pas exécuté ligne par ligne dès le premier coup. Mais après avoir exécuté ce script (Five_Inverter.tcl) pour une troisième fois avec succès, on a obtenu le schéma simplifié et synthétisé du circuit logique de notre capteur RO à base de cinq inverseurs (voir l'annexe E). La Figure 4.14 ci-dessous montre les différentes portes logiques et le nombre utilisé pour l'analyse et la synthèse.

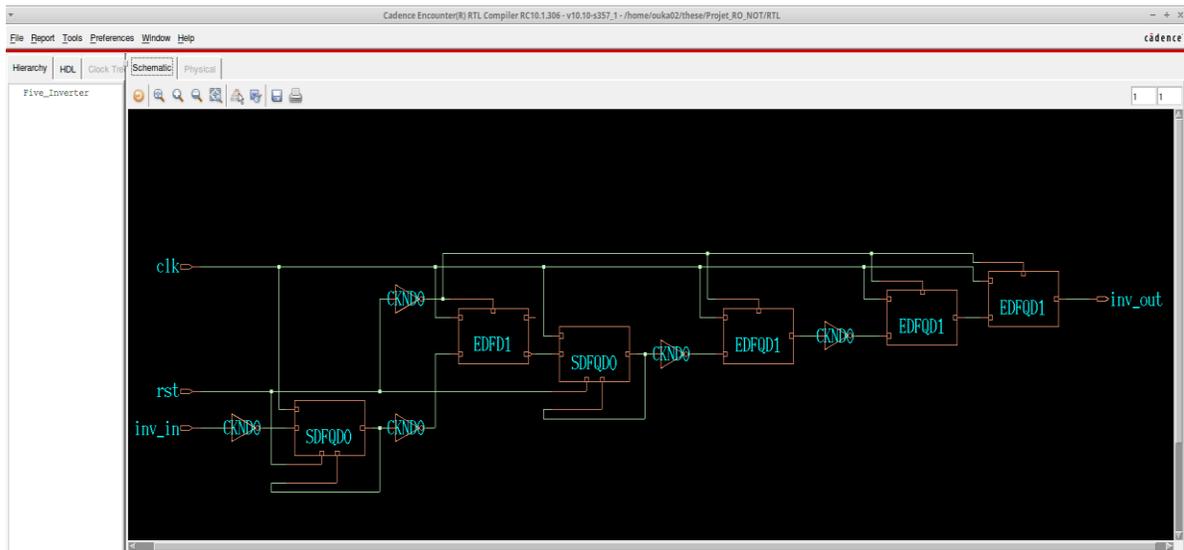


Figure 4.14. Circuit synthétisé du capteur RO à base des cinq inverseurs.

Avant de procéder à la vérification des différents rapports (puissance, superficie des ports logiques et cellules) que l'outil RTL Compiler peut générer, on définit les différents paramètres de la synthèse effectuée. La Figure 4.15 affiche le rapport du chemin critique des capteurs RO synthétisé.

Detailed Timing Report							
Close		Endpoint: a_reg[1]/D					
Endpoint	Slack (ps)	Rise Slew (ps)		Fall Slew (ps)			
a_reg[1]/D	inf	65		55			
Pin	Type	Fanout	Load (fF)	Slew (ps)	Delay (ps)	Arrival (ps)	
a_reg[0]/GP				0.00		0.00	R
a_reg[0]/Q	SDFQD0	2	4.50	100.90	157.80	157.80	R
g25/I					0.00	157.80	
g25/ZN	CKND0	1	3.10	55.00	59.80	217.60	F
a_reg[1]/D	EDFD1				0.00	217.60	
a_reg[1]/GP	setup			0.00	109.20	326.80	R

Figure 4.15. Rapport du chemin critique du circuit synthétisé.

Ce rapport nous permet d'observer dans quelle mesure la contrainte de fréquence maximale est respectée ou non, ce qui nous amène à conclure qu'en utilisant la bibliothèque

dans le pire des cas, notre circuit synthétisé respecte la contrainte temporelle imposée dans l’outil RTL Compiler. Cet outil permet aussi de visualiser les rapports de notre circuit et la Figure 4.16 affiche les données sur la puissance et la surface.

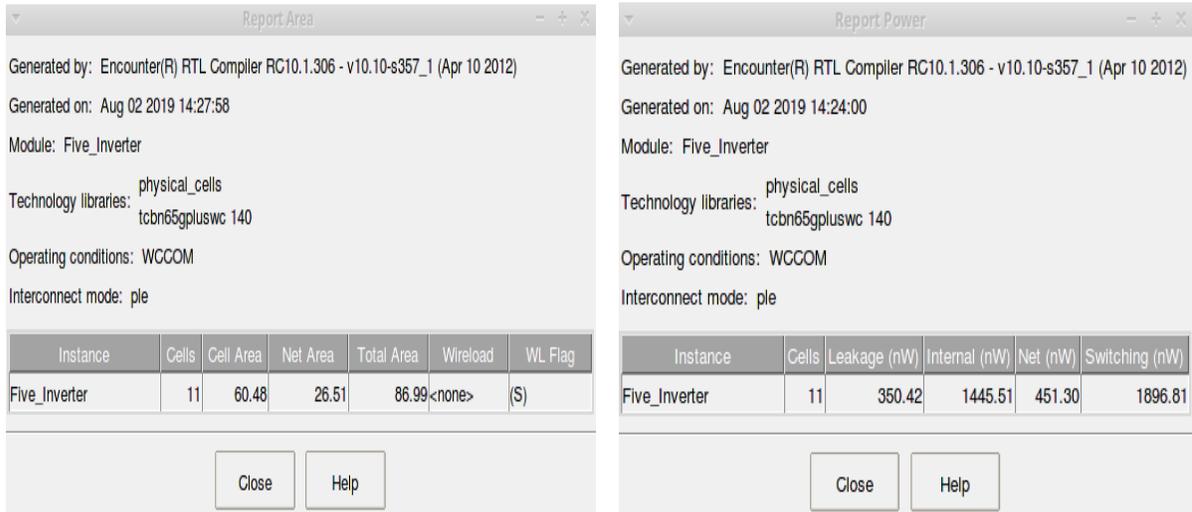


Figure 4.16. Rapport de superficie (gauche) et de puissance (droite) du circuit synthétisé.

Il est donc possible d’observer les différentes données fournies et optimisées par cette fonctionnalité, d’où le nombre de cellules, la puissance, la zone des cellules, la surface chauffante ainsi que la superficie totale. Nous avons réalisé une étude de la répercussion des différentes bibliothèques technologiques sur les grandeurs physiques qui caractérisent la performance du circuit du capteur RO analysé et synthétisé. Les différents paramètres observés pour la conception de n’importe quel circuit intégré sont notamment la surface occupée par des portes logiques du circuit et la puissance dissipée. Cette section a pour le but d’explorer l’opération post-synthèse avec l’outil NClaunch (vérification du circuit capteur RO après son analyse et synthèse avec l’outil RTL Compiler) d’une logique à partir de sa description Verilog (voir annexe F). À noter que le langage Verilog est un standard des langages de description matérielle au niveau de l’industrie. Dans un premier temps, on ajoute la directive/option « timescale » pour définir les unités des délais pour notre circuit. Ensuite, la logique du capteur RO à base de cinq inverseurs est vérifiée, après l’étape de post-synthèse. Cette étape du flot de design se fera à partir de la description Verilog du capteur RO. La Figure 4.17 suivante montre la vérification de la simulation post-synthèse avec NClaunch.

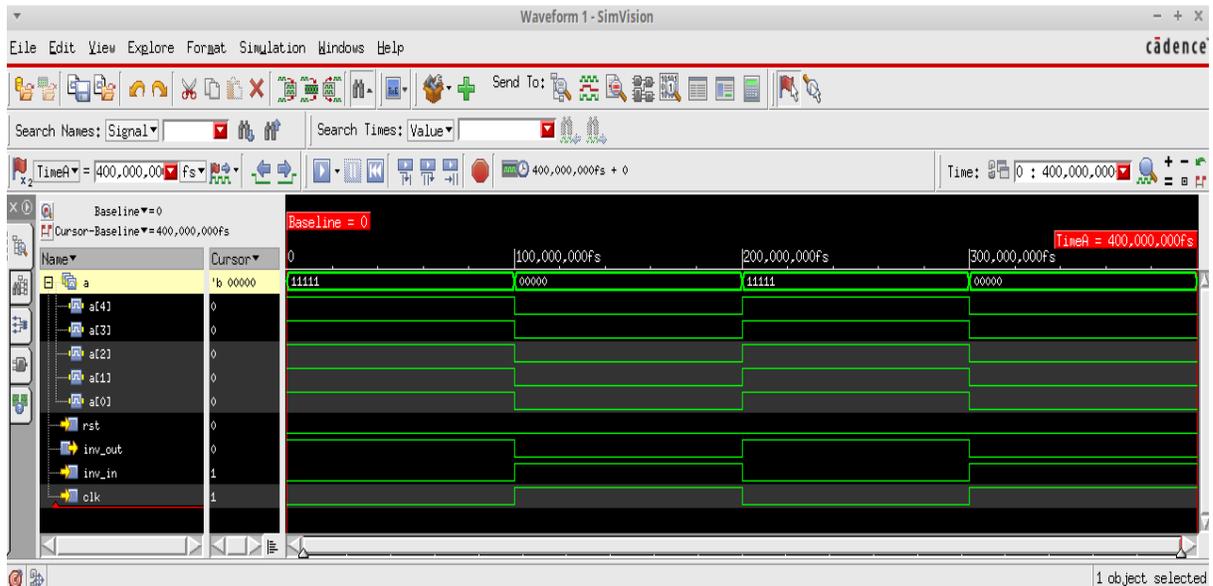


Figure 4.17. Simulation post-synthèse du capteur RO à base de cinq inverseurs.

À la suite de la simulation post-synthèse qui confirme les simulations trouvées dans la Figure 4.12, nous sommes conscients du degré de dépendance entre les différentes parties, dans la mesure où les fichiers de résultat d'une manipulation constitueront les fichiers source pour la manipulation suivante avec l'outil « Encounter » de Cadence. Après la simulation post-synthèse, nous avons procédé avec succès au placement et routage du capteur RO à base de cinq inverseurs avec l'outil « Encounter » de Cadence. En utilisant la bibliothèque fournie par CMC et TSMC, les composants de cette bibliothèque sont réalisés dans une technologie 65 nm. Cette technologie peut avoir jusqu'à 9 niveaux de métal. Une fois que cette opération est terminée, un prototype est mis à notre disposition pour le module « Verilog » qui peut être envoyé à CMC pour la fabrication. La Figure affiche le layout du capteur RO placé et routé en technologie 65nm (voir annexe G).

Le placement et le routage du circuit sont réalisés (voir annexe G). Pour rappel, il s'agit d'un capteur RO à base de cinq inverseurs qui a été préalablement synthétisé avec la bibliothèque TSMC65 et RTL Compiler. Après avoir récupéré le fichier Verilog et le fichier Sdc, on exécute les étapes propres au placement et routage :

1. Création du « floorplan ». À ce stade, un espace où nos transistors seront placés (le « core ») est obtenu.

2. Ajout des rails d'alimentation et mise à la terre de VDD/VSS. Les rails d'alimentation vont permettre d'alimenter notre circuit en fournissant les niveaux logiques 0/1. Ils seront placés tout autour du core : le rail VDD entourant directement le core et le rail VSS entourant le rail VDD. Connexion des rails d'alimentation. Cela va permettre d'établir les liaisons entre les rails et les transistors sur le core afin de polariser les transistors.

4. Placement des cellules standards. Les cellules standards utilisées pour le capteur RO sont placées sur le core.

5. Synthèse de l'horloge.

6. « Nano route ». Cette étape effectue le routage des cellules.

7. Optimisation.

8. Placement des cellules de remplissage : les cellules de remplissage, lorsqu'elles remplacent les espaces entre les cellules standards, assurent la continuité des rails d'alimentation et la bonne polarisation du substrat.

9. Vérification géométrique. La vérification géométrique permet de s'assurer qu'aucune violation n'est présente dans le circuit (largeur minimale, espacement minimal, chevauchement des cellules...).

10. Vérification de connectivité, afin de confirmer que nos cellules sont correctement Interconnectées.

11. Préparation des fichiers de simulation post-routage.

12. Rapports de délais : ce rapport nous informe du « skew » présent dans le circuit. Si les étapes ont été correctement suivies, nous devrions obtenir 0 ps (voir annexe G).

Après synthèse, un skew nul est obtenu (voir annexe G). La nullité de ce paramètre est une mesure de performance du circuit conçu. Dans n'importe quel système, il est souhaitable que le signal d'horloge généré arrive au même instant à toutes les composantes. Ceci est le phénomène représenté par la nullité du skew. Le circuit est maintenant terminé, il reste à produire les fichiers de fabrication GDSII (Graphic Data System II), mais cela, ce n'est pas dans le cadre de cette thèse. Exportation du circuit au format GDSII : le fichier GDSII contient toute la description physique du circuit et permettra à la fonderie de le concevoir à partir du dessin physique du circuit intégré (le layout).

4.4. Résumé

Le chapitre quatre traitait de la conception d'un capteur de température RO à base de cinq inverseurs. Le capteur de température proposé a été conçu avec la technologie CMOS en utilisant la librairie TSMC 65 nm, qui occupe une surface en silicium très réduite, pour déduire le nombre exact d'inverseurs qui forment un oscillateur à anneau. Le défi était de répondre aux spécifications du capteur RO développé, tout en tenant compte des contraintes de consommation, de la taille et du bruit, ce capteur de température générant une impulsion dépendant linéairement de la température, ce qui assure aussi une communication différentielle à sa sortie vers les autres blocs de l'ASIC du scanner LabPET II. Afin d'obtenir le fichier GDSII qui contient toute la description physique du capteur RO à base de cinq inverseurs qui a été préalablement synthétisé avec la librairie TSMC65 et compilé avec RTL, nous avons utilisé l'outil Encounter pour placer et router notre circuit, après avoir récupéré le fichier Verilog et le fichier Sdc, qui ont permis de le concevoir à la fonderie.

Pour garder la stabilité thermique du scanner LabPET II à 35 °C, nous avons besoin d'un système de contrôle de la température en temps réel par module TEC (Thermo Electric Cooler).

Chapitre 5: Système de contrôle et de stabilité thermique

5.1. Introduction

Dans le cadre de cette thèse, une nouvelle méthode de refroidissement et du contrôle thermique dans les microsystemes VLSI est proposée, développée et réalisée. La méthode proposée sera utilisée pour les ASICs du scanner LabPET II, en tenant compte de la puissance dissipée, et d'une large différence de gradient de la température causée par l'implémentation de différents systèmes tels que Radial Board (RB) et Detector Module (DM), tout en maintenant en opération un niveau de contrainte thermique acceptable, ce qui représente une nouvelle approche pour les scanners LabPET II nouvelle génération.

Dans cette optique, une unité de contrôle et de stabilité thermique a été développée, et ainsi synthétisée pour jauger le niveau de dépassement de la limite permise de la température sur l'ASIC. Un système de contrôle pour aider le concepteur à augmenter le seuil de fonctionnement des microsystemes VLSI à haute densité d'une façon générale à est réaliser. D'une façon pratique, le réseau de capteurs dans les ASIC nous permet de valider expérimentalement nos résultats de caractérisation de la dynamique thermique pour prédire le comportement thermique dans le scanner LabPET II.

Dans cette thèse, il y a deux types d'analyses thermiques utilisées, l'analyse thermique par l'injection d'air dans une Pipe (Tube) et l'analyse thermique en utilisant des modules Peltier ou des TECs (Thermoélectrique Cooler). C'est une technique de refroidissement utilisant la thermoélectricité. Pour ce faire, on utilise des composants nommés « modules Peltier » qui transforment un courant électrique en une différence de température.

5.2. L'analyse thermique du scanner LabPET II avec des Pipes

L'avantage principal de cette méthode réside dans sa grande capacité de généralisation, permettant la manipulation des géométries complexes en tenant compte des conditions des limites ainsi que des propriétés des matériaux qui dépendent fortement de la température [53]. Avant de commencer les simulations pour l'ensemble du scanner, il faut tout d'abord connaître

la position des pipes dans le scanner LabPET II, pour la comparaison et la confirmation des résultats par la suite.

5.2.1. Modélisation du scanner LabPET II avec des Pipes sous COMSOL

La Figure 5.1 présente la structure du scanner LabPET II sous l'outil COMSOL avec des pipes, ainsi trente-six Radial Boyard, sachant que RB contient douze languettes, et chaque languette contient deux ASICs, ce qui donne 24 ASICs pour une seule Radial Board. D'après la structure, on a 864 ASICs en total (24 ASICs X 36 Radial Board), ce qui donne implicitement la puissance totale de 518.4 W (864 ASICs X 0.6 W).

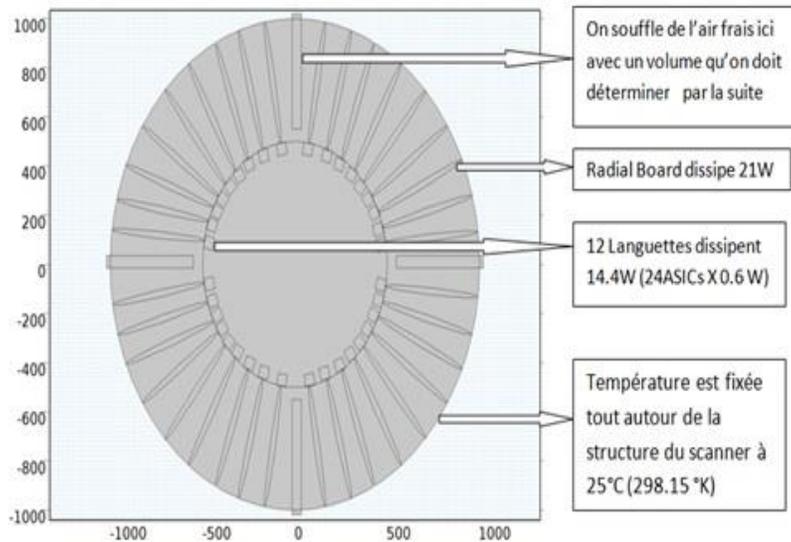


Figure 5.1. Modélisation du scanner LabPET II avec des pipes sous COMSOL.

5.2.2. Analyse thermo-fluidique du scanner LabPET II sans Pipe sous COMSOL

La première simulation sans pipe sous l'outil COMSOL donne une bonne idée du comportement et de la diffusion thermique des sources de chaleur dans un scanner LabPET II (voir la Figure 2.5). De plus, elle montre aussi l'augmentation de la température d'une façon importante à 491 °K, ce qui nous donne une bonne idée de la puissance totale dissipée dans tout le scanner pour bien fixer les conditions aux limites. De plus, on voit clairement la façon d'évoluer de la température et comment l'énergie thermique s'accumule en haut du scanner

LabPET II, ce qui permettra d'utiliser juste une seule pipe au lieu de quatre, un élément vraiment important de la conception mécanique des radials Boards (on n'a pas assez d'espace entre les radials Boards du scanner). Alors, pour refroidir et garder la stabilité thermique du scanner LabPET II, on n'aura besoin que d'un seul tube (Pipe) placé mécaniquement à 90°. Le choix de la position est lié directement au deuxième principe de la thermodynamique, qui stipule que la chaleur coule toujours spontanément d'une région plus chaude à une région plus froide, sachant que tous les dispositifs actifs et passifs du scanner constituent des sources de chaleur. Ces dispositifs sont toujours plus chauds que la température moyenne de leur environnement immédiat.

5.2.3. Analyse thermo-fluidique du scanner LabPET II avec Pipe sous COMSOL

Dans cette partie, nous allons présenter les résultats de la simulation des sources de chaleurs représentées d'une façon circulaire sous COMSOL en utilisant la convection forcée, on souffle de l'air frais à une certaine vitesse ($Q_v = 3.16 \text{ m}^3/\text{s}$) dans le tube placé à 90°. La Figure 5.2 suivante montre le profil de la température du modèle du thermo-fluidique du scanner sous COMSOL.

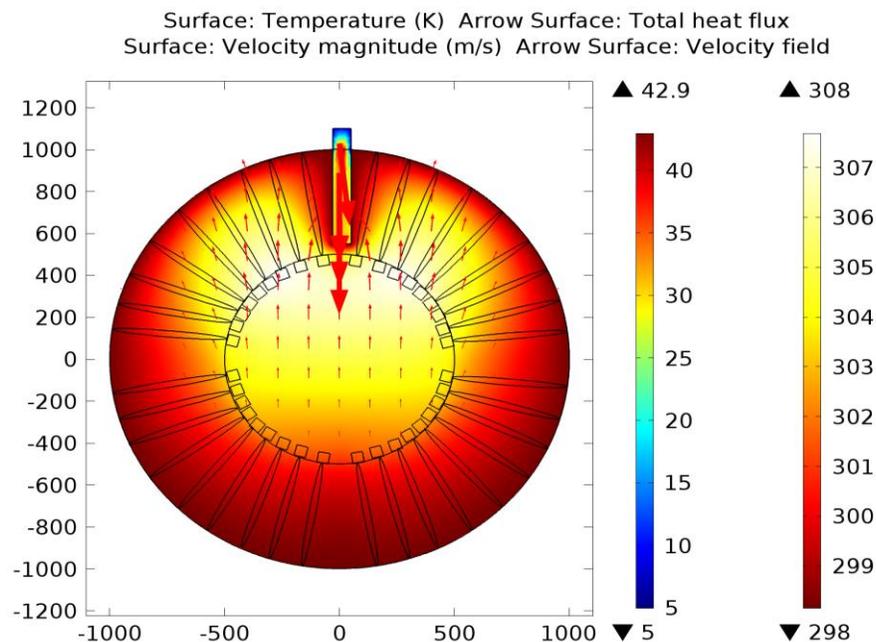


Figure 5.2. L'évolution thermique du scanner LabPET II avec une seule Pipe sous COMSOL.

Cette Figure 5.2 montre que la température a baissé de 183 °K pour les trente-six Radial Board, ce qui répond convenablement à notre problématique posée auparavant. On peut dire donc que l'analyse thermique avec Pipe permet d'évacuer convenablement l'énergie accumulée dans le scanner LabPET II.

5.2.4. Validation des résultats trouvés avec Pipe sous COMSOL

Dans cette partie, nous allons confirmer les résultats de la simulation obtenus pour des sources de chaleurs du scanner sous l'outil COMSOL. De cette façon, on procède cette fois à une simulation thermique pour une seule RB (douze languettes), donc pour chaque RB on souffle la même quantité et à la même vitesse en ce qui concerne l'air frais. La Figure 5.3 montre l'évolution thermique de notre modèle Radial.

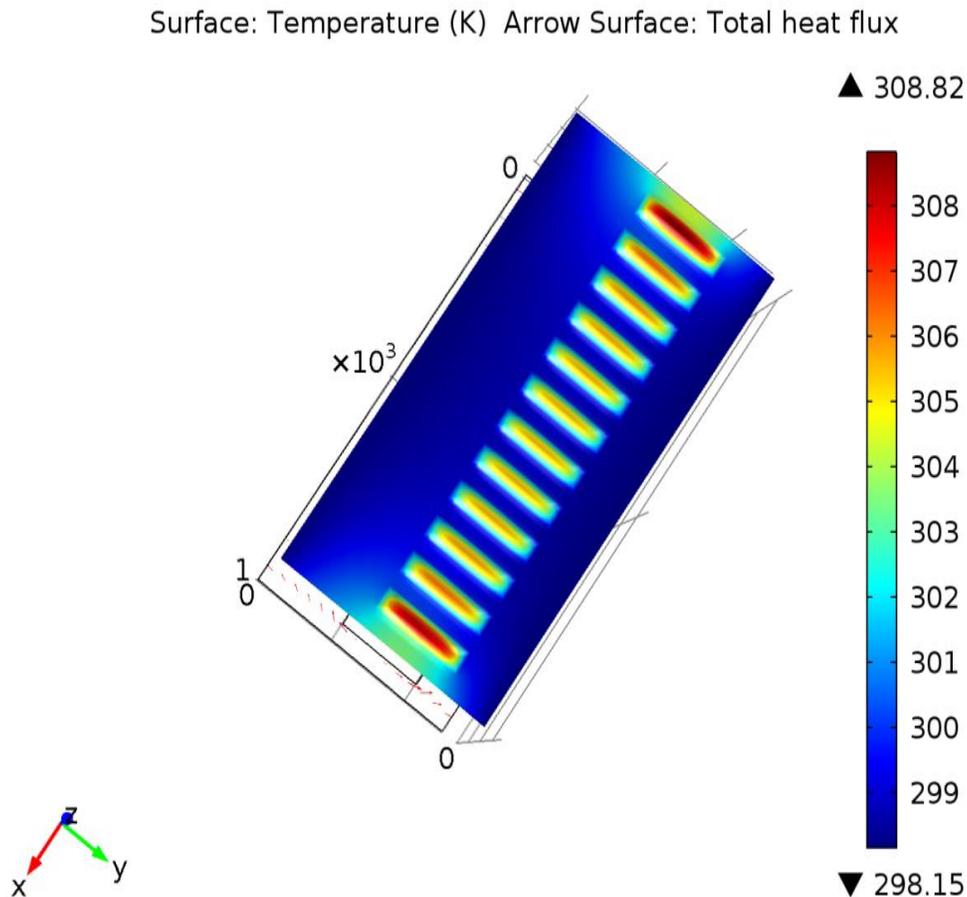


Figure 5.3. : L'évolution thermique d'une seule Radial Board sous l'outil COMSOL.

Ces résultats de simulation montrent que l'évolution de la température entre les douze languettes est fixée à 308 °K, pour une seule Radial Board, ce qui répond convenablement à notre problématique (réduction et stabilité thermique) posée auparavant, donc nous pouvons affirmer que l'analyse thermique pour une seule Radial Board avec Pipe, en soufflant la même quantité d'air frais à la même vitesse, permet de confirmer nos résultats des simulations obtenus dans 5.2.3. Après la simulation, nous présentons l'évolution de la température pour les deux types d'analyse thermique sans et avec Pipe, selon une ligne verticale à partir du centre du modèle à plusieurs nœuds. Voir le graphe (Figure 5.4) suivant qui présente les différents nœuds.

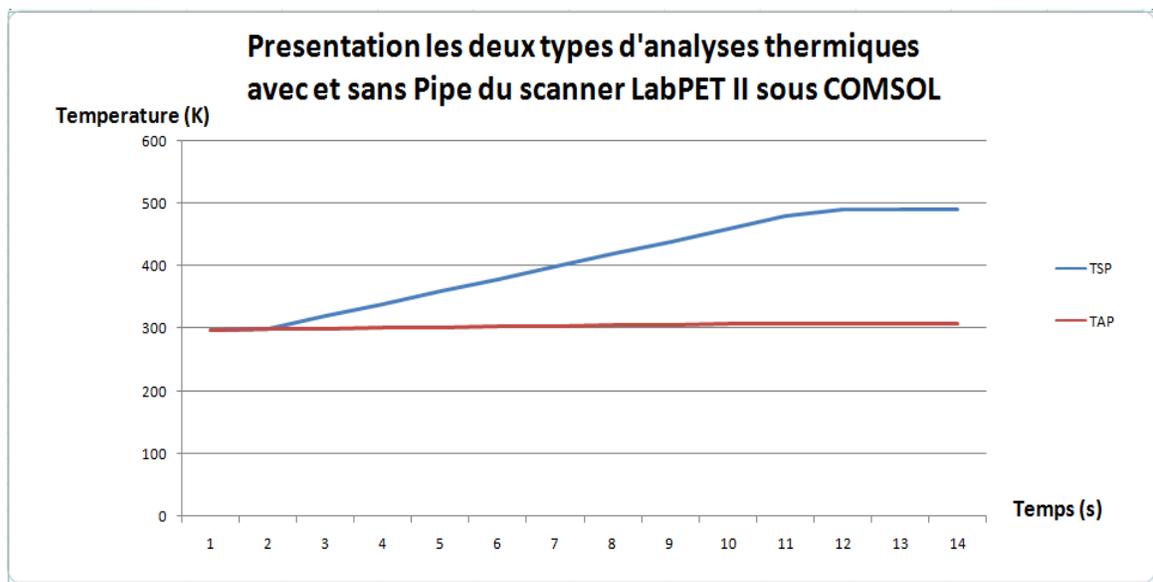


Figure 5.4. Le graphe de comparaison pour les deux types d'analyses avec et sans Pipe.

5.3. Cas de l'utilisation des TECs pour le refroidissement scanner LabPET II

Cette section présente l'étude et le développement d'une approche de refroidissement par un dispositif TEC (Thermoélectrique Cooler) en utilisant l'effet Peltier, pour la conception de systèmes complexes comme scanner LabPET II. Le design contient des circuits intégrés spécialisés ASIC, avec 576 ASICs dissipant chacun environ 600 mW.

Pour résumer les différentes tâches de l'algorithme utilisées dans le présent chapitre, celles-ci prennent la forme d'un organigramme à la Figure 5.5, dans le but de choisir l'approche de refroidissement appropriée pour l'implantation en visant un FPGA donné.

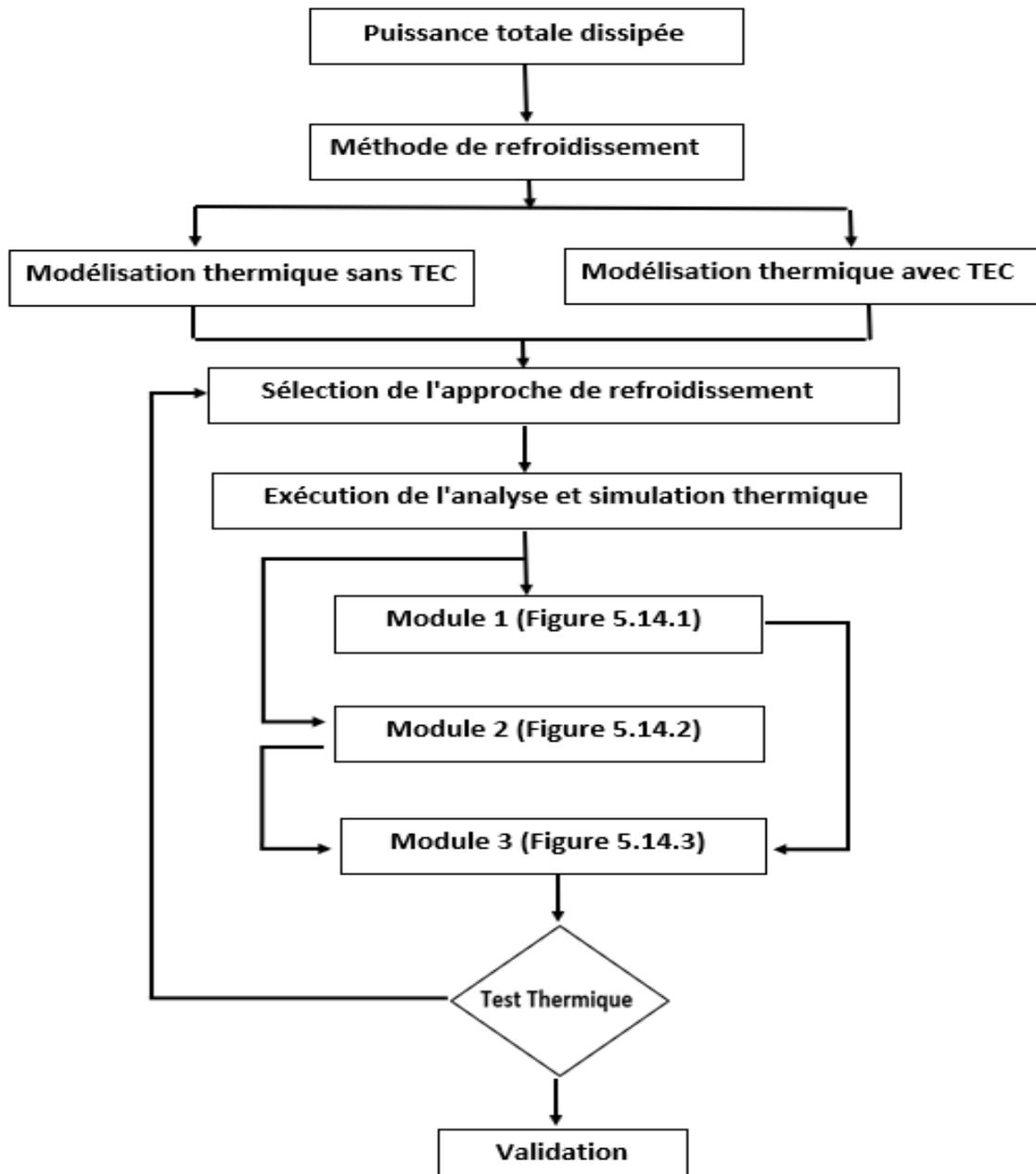


Figure 5.5. Organigramme pour déterminer l'approche de refroidissement appropriée.

Pour vérifier cette approche, nous avons eu recours aux deux techniques numériques, soit la mécanique des fluides numérique et l'analyse de transfert thermique. Ainsi, les deux analyses ont été menées : la première sans convection et la deuxième avec convection forcée en utilisant des TECs.

5.3.1. Technologie de refroidissement à base module Peltier

Les éléments Peltier sont des composants thermoélectriques qui peuvent transférer la chaleur d'un appareil d'un côté à l'autre, en fonction de la direction du courant électrique. Bien que le principe soit connu depuis longtemps, l'état de l'art des matériaux semi-conducteurs nous permet d'en apprendre davantage sur son fonctionnement afin d'exploiter ce principe. Les forces de la technologie Peltier résident dans la modularité des éléments de refroidissement, leur intégration facile, leur fiabilité et leur contrôle précis. De plus, les éléments Peltier ne nécessitent aucune pièce mobile dans leur montage, ils sont donc plus silencieux et génèrent moins de vibrations, ce qui ne produit aucun impact sur les PDA et sur l'animal sous test du scanner LabPET. L'avantage principal du module Peltier réside dans l'élimination des réfrigérants inflammables ou nuisibles pour l'environnement. Ainsi, les performances des systèmes de refroidissement à effet Peltier sont avantageuses par rapport à certaines technologies de refroidissement. La Figure 5.6 suivante présente une cellule à effet Peltier :

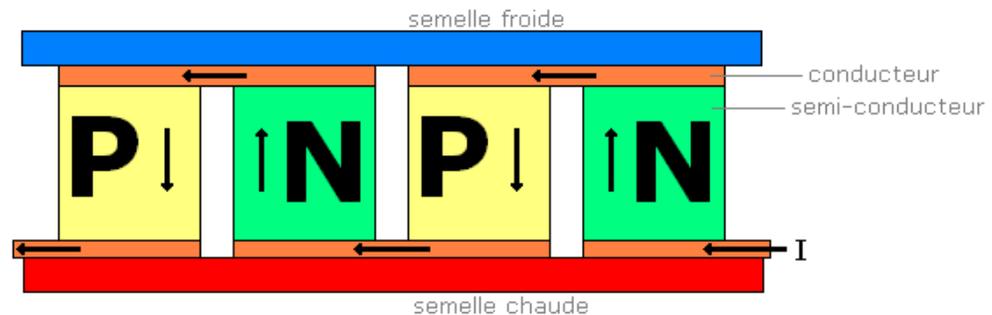


Figure 5.6. Cellule à effet Peltier.

Lorsqu'on fait circuler un courant électrique continu dans un tel circuit, une face froide et une face chaude apparaissent. Si on inverse le sens du courant, la température des deux faces change de côté.

5.3.2. Les applications des modules avec effet Peltier

Les applications de module Peltier dans la vie de tous les jours ont en général pour but de refroidir un objet de manière peu encombrante et silencieuse. Son utilisation la plus courante est dans le domaine de l'informatique où la plaque froide est en contact avec le circuit intégré

de manière que celui-ci maintienne la température à une valeur inférieure à 40°C. De l'autre côté du module, un ventilateur se charge de refroidir la plaque chaude pour éviter toutes sortes de surchauffe. Une seconde application des modules à effets Peltier a pour fonction d'assurer la modification de l'humidité de l'air. En effet, il peut être monté dans un système sécheur-réchauffeur d'air où la plaque froide sert de condenseur. En effet, les cellules à effet Peltier permettent de créer une atmosphère sèche pour certains appareils, tout en résistant à l'environnement salin. Dans le milieu industriel, on retrouve les modules dans toutes sortes d'étalonnages de température. Ce type de variation de la température comporte également plusieurs applications dans l'industrie chimique afin de pouvoir changer rapidement et précisément la température d'une réaction ou de stockage de produits. Enfin, les cellules à effet Peltier sont utilisées pour fabriquer des pièces sur machine-outil. Afin d'être fabriquées, les pièces sont immobilisées sur le plateau (la face froide de la cellule) par une fine couche de glace. La libération des pièces s'obtient par un cycle de dégel. On utilise également fréquemment les modules Peltier dans les laboratoires pour maintenir ou baisser la température. En fonction de l'application, différents modèles à effet Peltier de formes et tailles sont disponibles afin de répondre à tous les besoins. Voir la Figure 5.7

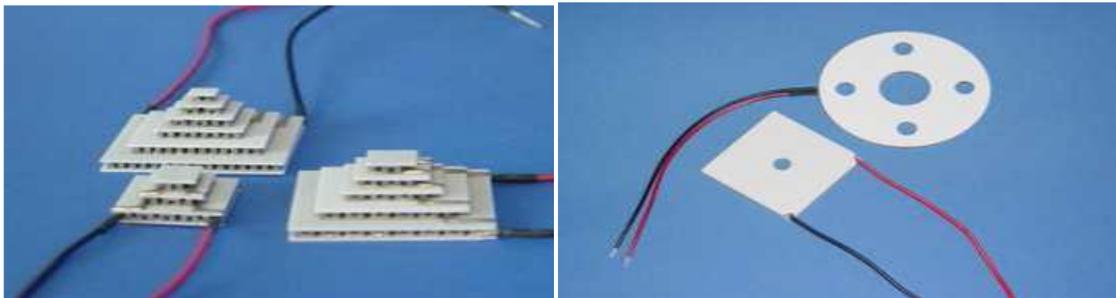


Figure 5.7. Modèle à effet Peltier de type cascade, rectangulaire et circulaire.

Les éléments Peltier sont généralement contrôlés par modulation de largeur d'impulsion où le courant moyen est contrôlé par la durée d'impulsion d'un courant à haute fréquence. En inversant la direction du courant avant que la température de l'élément Peltier ne se soit stabilisée, les composants sont exposés à un stress thermique énorme. Les fabricants de puces Peltier testent la stabilité de leurs produits en effectuant des cycles d'inversion de la polarité, ce qui provoque des défaillances après quelques centaines de cycles.

5.4. Extraction des mesures thermiques de l'ASIC sans TEC

Les mesures expérimentales réelles de deux ASICs du scanner sont extraites pour récupérer les données des mesures sous forme d'un graphique qui représente la température maximale sur chaque ASIC. Par la suite, une analyse thermique en utilisant des TECs pour refroidir chaque ASIC du scanner sera effectuée afin de garder la stabilité thermique pendant l'utilisation du scanner LabPET II.

5.4.1. Matériels utilisés pour mesurer et extraire les données sur les deux ASICs

L'objectif de l'expérience est d'évaluer la dispersion des températures internes des deux ASICs, puis de lire ou d'extraire la température interne de chaque ASIC une fois que la stabilisation thermique est atteinte, sachant que la puissance de dissipation est d'environ 0,6 W et que la température ambiante est fixée à 23 °C (296,15 °K), de sorte que l'air naturel est estimé à 0,1 m/s. À cet effet, la Figure 5.8 suivante montre le matériel utilisé pour tester et mesurer la température des deux ASICs.

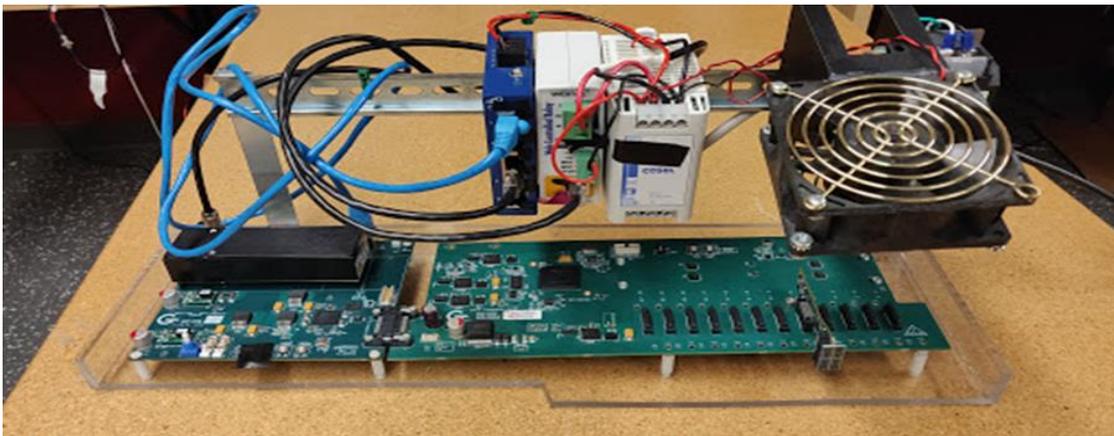


Figure 5.8. Banc de test thermique pour mesurer la température des deux ASICs.

5.4.2. Extraction des mesures thermiques de deux ASICs

La Figure 5.9 montre la languette ABDM avec ces deux ASICs et la Figure 5.10 montre l'évolution de la température sur ces deux ASICs mesurée réellement par un capteur interne du scanner LabPET II pendant 15 minutes (900 secondes).

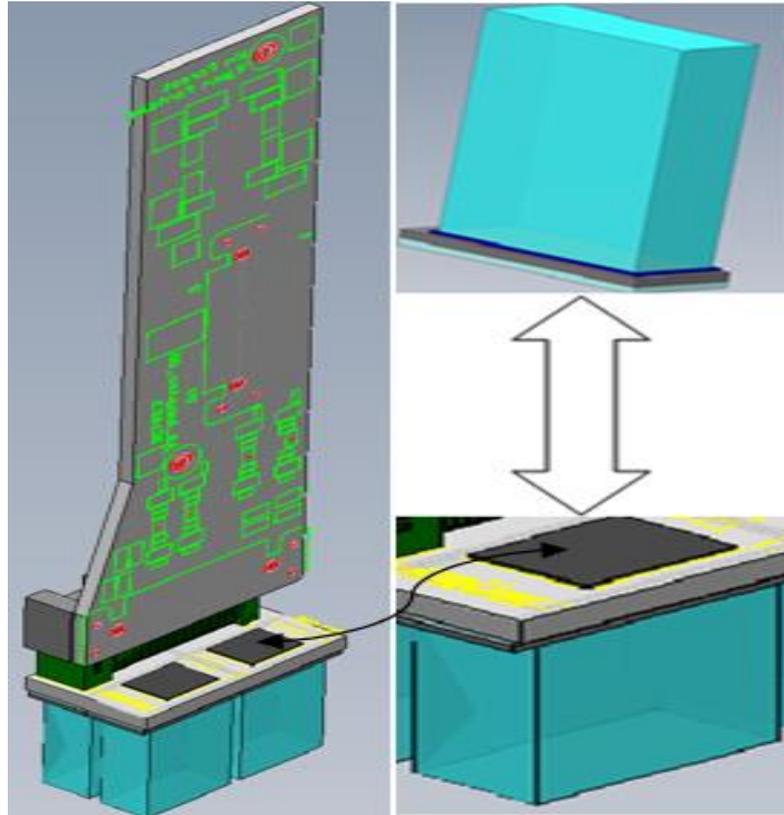


Figure 5.9. Présentation du ABDM (à gauche) et APD avec son ASIC (à droite).

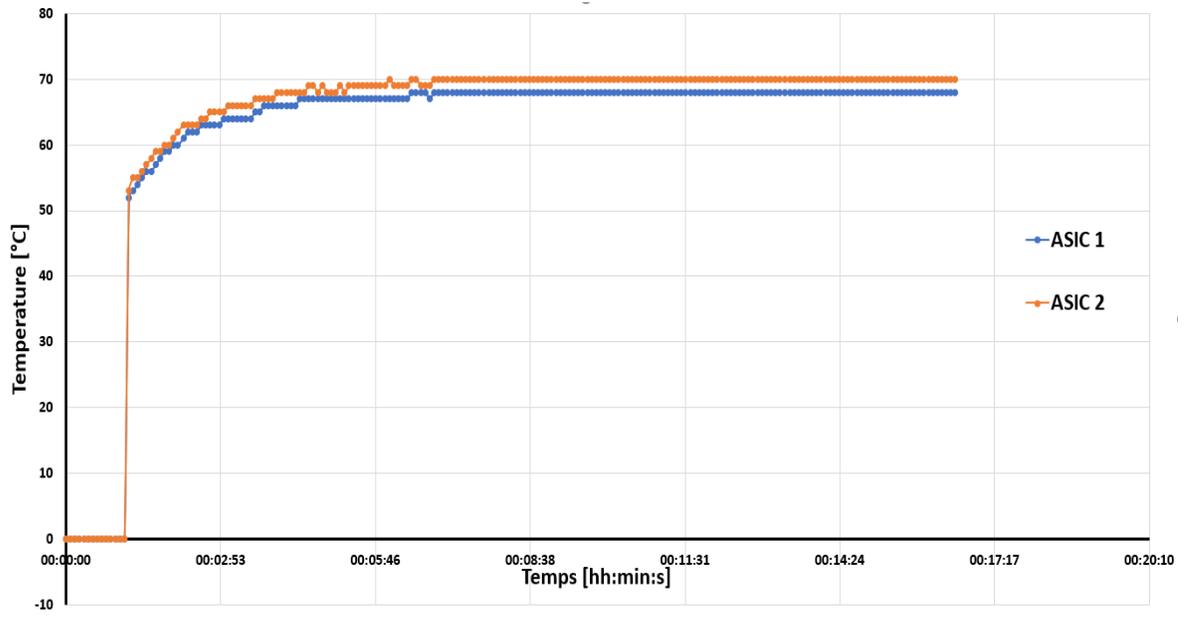


Figure 5.10. Mesure réelle de l'évolution de la température sur deux ASICs.

À partir de ce graphique, les mesures thermiques réelles pour deux ASICs sont déduites. Les mesures effectuées par l'équipe LabPET utilisant un capteur interne du scanner donnent une idée de l'évolution thermique autour de chaque ASIC. Comme cela est constaté, une fois que la stabilisation pour deux ASICs a atteint la courbe où la valeur de la température atteinte reste stable (environ 15 min), ces mesures sont répétées 24 fois, la différence entre ASIC1 et ASIC2 paraissant alors géométrique. Les résultats de la simulation par FEM avec des TECs aident à comprendre l'évolution thermique dans l'ensemble du scanner LabPET II, afin de contrôler et stabiliser la température.

5.5. Choix de l'emplacement des TECs dans le scanner LabPET II

Dans cette partie, l'emplacement des TECs est défini sur le scanner LabPET II pour l'intervention si nécessaire, afin d'effectuer le refroidissement si la température moyenne est dépassée. À cet effet, la Figure 5.11 suivante montre l'emplacement des trois TECs.

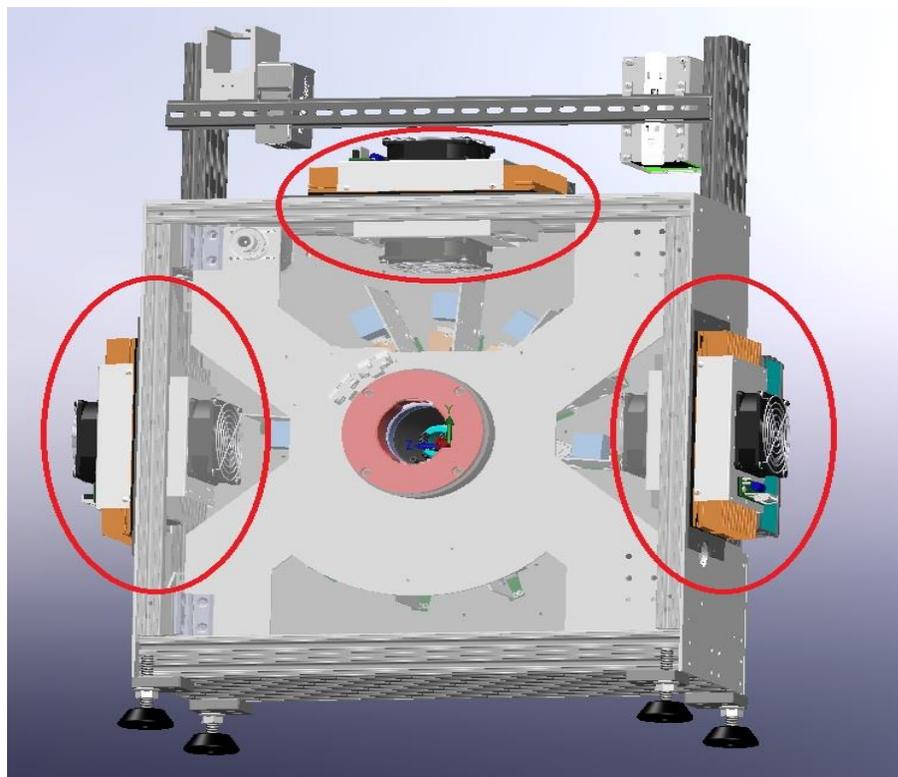


Figure 5.11. L'emplacement des trois TECs sur le scanner LabPET II.

La Figure 5.11 montre l'emplacement des TECs, qui est choisi en respectant la deuxième loi de la thermodynamique, qui réside dans le fait que la chaleur passe d'une position chaude à une position plus froide.

Avant de commencer l'analyse thermique avec l'outil COMSOL, il est à préciser que nos simulations sont basées sur les éléments suivants :

- L'analyse du rayonnement thermique est effectuée sur les surfaces,
- L'analyse de la convection se fait autour du modèle ABDM,
- L'analyse de conduction est dans le dé de l'ASIC,
- L'analyse thermique est en régime permanent.

L'un des principaux problèmes qui se posent toujours pendant la simulation d'un modèle thermique d'un grand nombre de photodiodes à avalanche (APD) est de déterminer les conditions aux limites et surtout avec des TECs. Cependant, ce problème peut être résolu en maillant l'ensemble de la structure. Cela nécessite l'utilisation d'un modèle de système de dizaines de millions d'éléments finis. Pour faciliter les simulations, la méthode des éléments finis impose de simplifier les hypothèses sur les propriétés des matériaux et les conditions aux limites. La méthode des éléments finis est basée sur la discrétisation dans l'espace et le temps. Le principal avantage de cette méthode est sa grande généralité, qui permet de traiter des géométries complexes telles que celle du scanner LabPET II, en tenant compte des propriétés des matériaux dépendant de la température [54]. L'équation générale de la chaleur est obtenue en considérant un équilibre du flux de chaleur dans un volume [55] comme dans le cas de l'ASIC, ce qui donne :

$$\left[\frac{\partial}{\partial x} \left(k_x \frac{\partial T}{\partial x} \right) + \frac{\partial}{\partial y} \left(k_y \frac{\partial T}{\partial y} \right) + \frac{\partial}{\partial z} \left(k_z \frac{\partial T}{\partial z} \right) \right] + q_b = \rho C_p \frac{\partial T}{\partial t} \quad (5.1)$$

Avec k_x , k_y et k_z sont les tenseurs de conductivité thermique des matériaux de notre ASIC, q_b est le taux de génération de chaleur par unité de volume, t est le temps, ρ est la masse volumique du matériau et C_p est la capacité thermique à pression constante comme c'est le cas du ASIC.

5.5.1. Simulation thermique de l'ASIC sans TEC

Dans cette partie, une température de 23 °C tout autour de la structure est établie, ce qui représente une température ambiante constante. L'utilisation de l'outil COMSOL nous donne une idée de la diffusion thermique autour du circuit. Les résultats de la simulation vont nous informer sur l'évolution thermique dans l'enceinte du scanner. Pour comprendre et gérer les aspects thermiques pour faire baisser la température de l'ASIC, on fixe la température à 23 °C comme conditions limites, que ce soit avec la méthode TEC (thermoelectric cooler) ou sans TEC. Après avoir considéré que notre ASIC est isotrope avec une conductivité thermique k (W/m. °C), que les conditions aux limites de Dirichlet (DBC) à 23 °C (296,15 °K) ont été appliquées autour du modèle, et que nous avons effectué la modélisation de l'équation (5.2) d'échange thermique par convection dans les conditions proposées, l'équation (4.1) devient :

$$-\dot{k}_n \frac{\partial T}{\partial n} = h(T_s - T_c) \quad (5.2)$$

Avec T_s est la température à la surface de l'ASIC, T_c est la température de convection, n est la normale à la surface de l'ASIC et h est le coefficient de convection (W/m². °C).

L'équation de convection thermique (5.2) est appliquée de manière générale. Ainsi, pour spécifier les conditions nécessaires pour la méthode TEC utilisée dans cette thèse, les cinq caractérisations principales pour appliquer la méthode TEC ont été ajoutées, puis modélisées sous l'outil COMSOL. En voici les caractéristiques nécessaires :

1. La différence de température génère une différence de niveau de Fermi,
2. La distance de l'entrefer varie en fonction de la température,
3. Le coefficient de diffusion est fonction de la température,
4. Les porteurs de charge se déplacent du côté chaud vers le côté froid de la thermo diffusion,
5. Le champ électrique sera généré par le transport des porteurs de charge,
6. La méthode TEC est définie dans [56] comme suit :

$$Q_{th}(J) = k_{TH} \cdot \Delta T \quad (5.3)$$

Avec k_{TH} est la conductivité thermique du matériau et $\Delta T = T_H - T_C$ (température côté chaud - température côté froid).

Après la modélisation de l'équation (5.2) et (5.3), la Figure 5.12 montre les résultats de simulation sans TEC d'une source de chaleur ayant une dimension de 4,68 mm × 5,97 mm avec l'outil COMSOL.

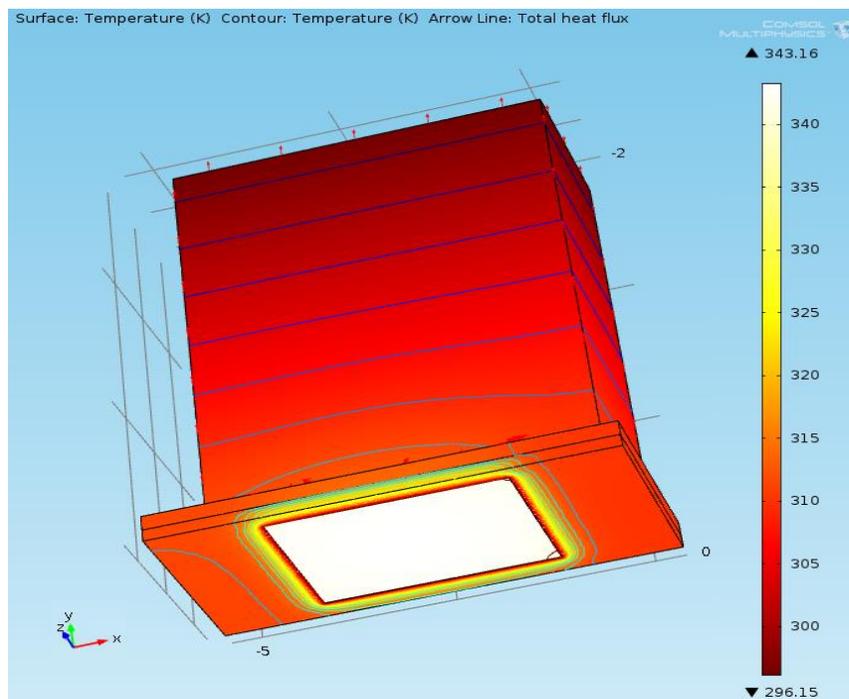


Figure 5.12. Distribution thermique de l'ASIC sans TEC.

La Figure 5.12 montre la diffusion thermique sans TEC autour de l'ASIC, soit de 70 °C (343 °K) de valeur maximale, ce qui est exactement le même résultat des mesures réelles sous les conditions imposées dans la section 5.5.1. Ainsi, ces résultats de la simulation sont valides et confirmés.

5.5.2. Simulation thermique de l'ASIC avec TEC

Toutes les simulations avec les mêmes conditions aux limites sont répétées, mais en utilisant la méthode TEC cette fois-ci. Après avoir respecté ces conditions et recompilé les simulations, la Figure 5.13 montre les résultats de la simulation trouvés avec l'outil COMSOL.

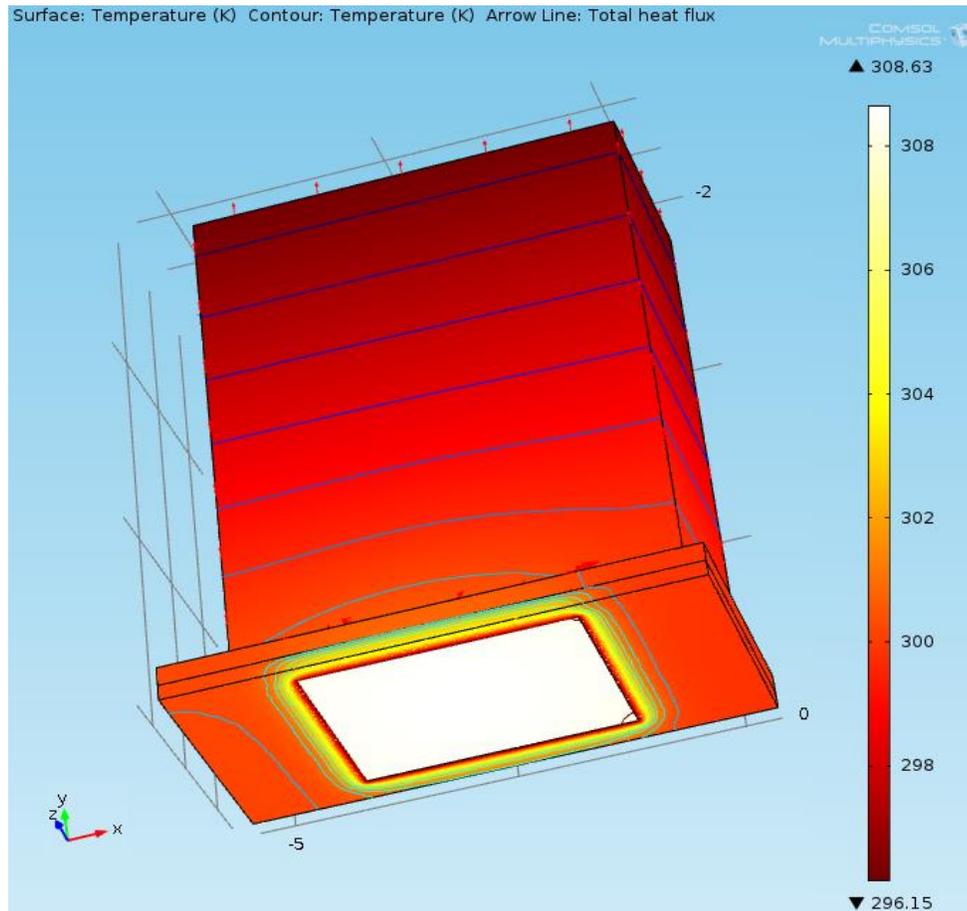


Figure 5.13. Distribution thermique de l'ASIC avec TEC.

La simulation du modèle thermique par convection forcée utilisant la méthode TEC donne une très bonne idée de la différence entre les deux types d'analyse thermique de l'ASIC.

La Figure 5.13 montre que la température atteint 35 °C (308 °K) pour l'ASIC, ce qui confirme nos résultats précédents, donc on peut affirmer que l'analyse thermique par la méthode TEC (thermoelectric cooler) permet d'évacuer convenablement l'énergie accumulée dans le scanner LabPET II.

Pour vérifier et valider la stabilité thermique, on refait les simulations, mais avec une seule Radial Board (RB). Les résultats de la simulation et de la validation pour une carte Radial Board complète (RB) contenant 24 ASICs sont présentés dans cette partie.

La Figure 5.14 suivante montre l'évolution thermique d'une seule Radial Board RB avec la méthode TEC sous l'outil COMSOL.

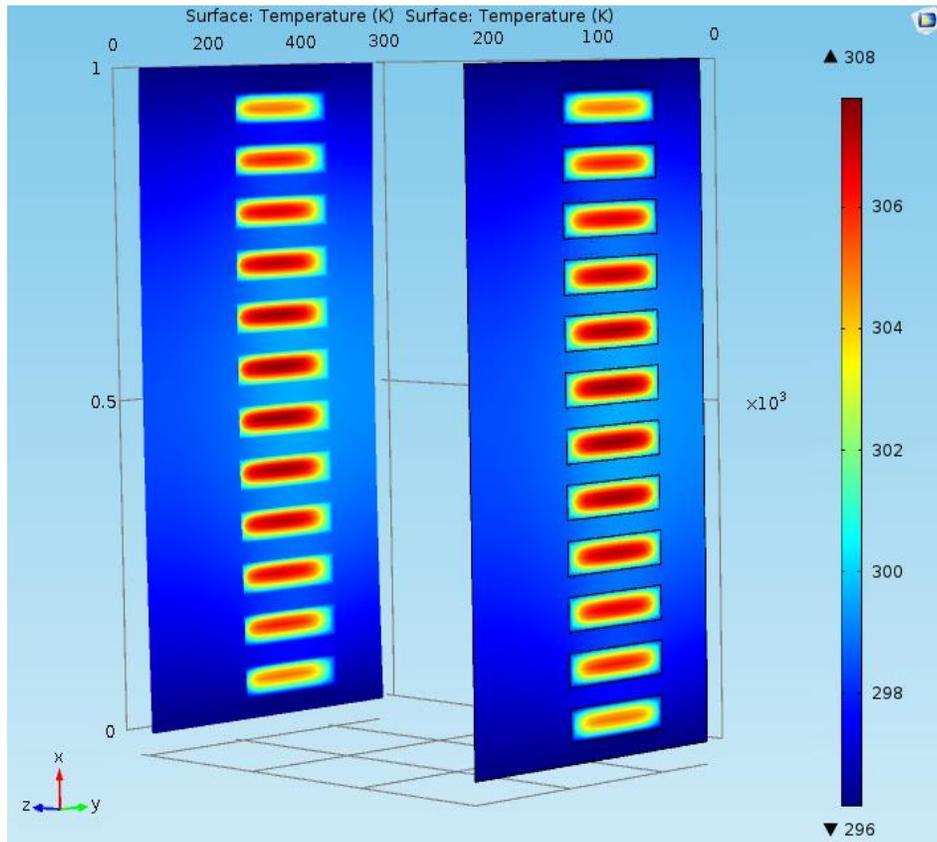


Figure 5.14. Distribution thermique d'une seule RB avec TEC.

Ces résultats de simulation montrent que l'évolution de la température de 24 ASICs pour une seule RB atteint à 35 °C (308 °K), ce qui confirme que la convection forcée en utilisant le refroidissement avec thermoélectrique (TEC) représente un moyen efficace pour réduire la température et garder la stabilité thermique d'un système complexe tel que le scanner LabPET II de la nouvelle génération étudiée.

5.6. Développement d'un système de contrôle de la stabilité thermique

Avec l'environnement de Simulink/Matlab, il est possible de créer des schémas-blocs hiérarchiques pour la modélisation et le développement des systèmes de haut niveau. L'algorithme de contrôle de la stabilité peut être simulé. De plus, des modules tels que des diagrammes-blocs de fiabilité ainsi que d'intégration des composants tels qu'un signal analogique, des communications numériques ou une logique de commande peuvent être étudiés.

Cette partie consiste à développer un algorithme qui sera à la base d'un système de contrôle de stabilité thermique s'appuyant sur des TECs sous Simulink/Matlab, cette unité permettant de modéliser le transfert de chaleur et de contrôler la température de l'ASIC, en utilisant des modules tels que : Contrôleur PID, Convertisseur PS - S, Convertisseur S - PS, Convertisseur S - PS, Transfert de chaleur par convection, inertie thermique, Source ASIC. Par la suite, on obtient les différentes courbes du module développé pour comparer les résultats obtenus. Après avoir modélisé le transfert de chaleur sans et avec l'utilisation des TEC sous Simulink/Matlab et contrôlé la température de l'ASIC, la Figure 5.15 (5.15.1, 5.15.2 et 5.15.3) montre les détails des trois modules du système développé.

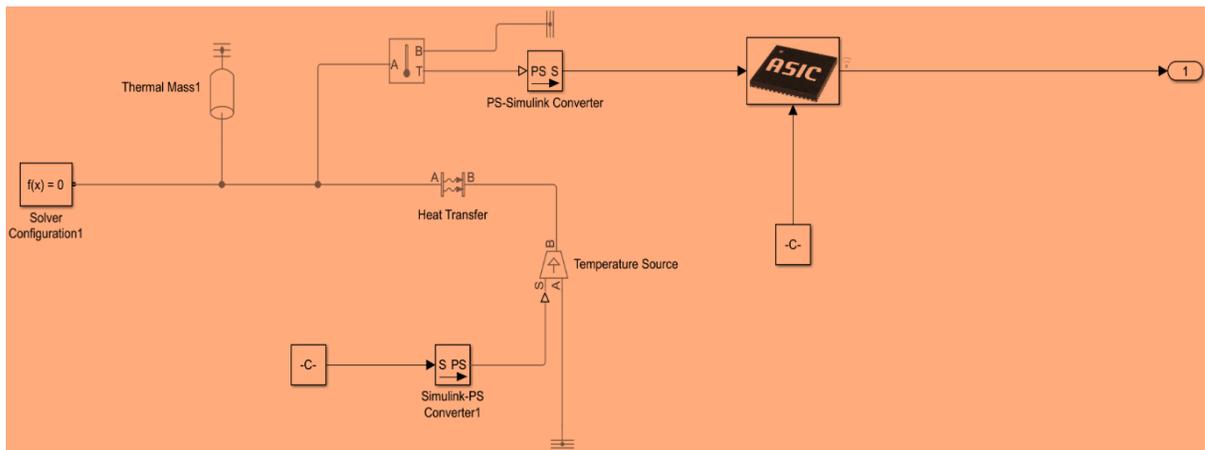


Figure 5.15.1. Modélisation thermique d'ASIC sans TEC.

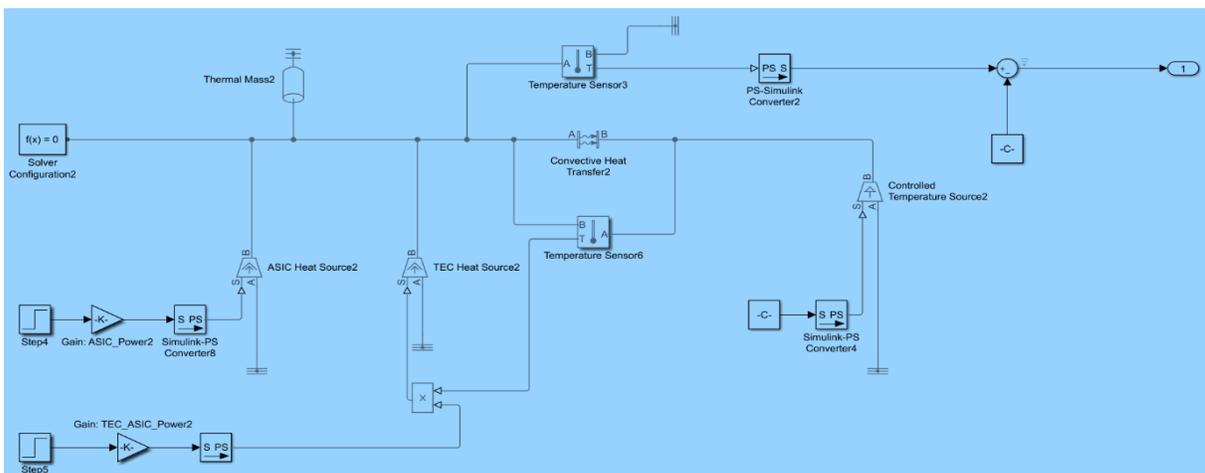


Figure 5.15.2. Modélisation thermique d'ASIC avec TEC.

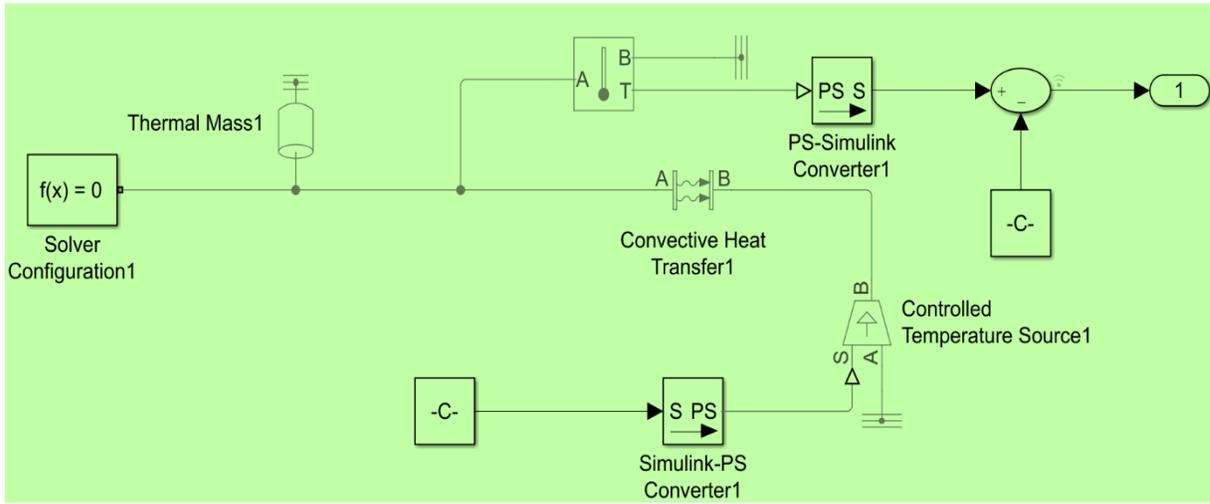


Figure 5.15.3. Système de contrôle thermique développé sous Simulink/Matlab.

La Figure 5.15 (5.15.1, 5.15.2 et 5.15.3) représente les trois modules développés avec Simulink/Matlab qui forment une unité de contrôle de stabilité thermique. Afin de vérifier la stabilité thermique, les trois modules qui forment un système de contrôle vont être simulés par la suite. Après la modélisation et les différentes simulations lancées, la Figure 5.15 (5.15.4 et 5.15.5) montre les résultats de simulations thermiques et la comparaison (avec et sans TEC) du système développé.

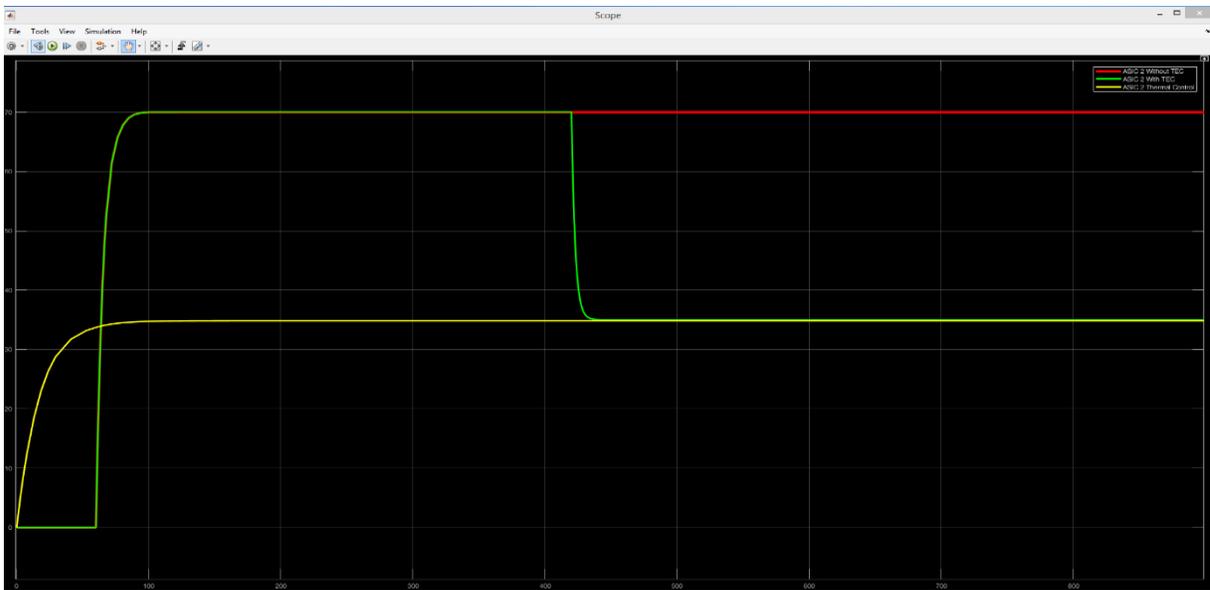


Figure 5.15.4. Simulation thermique de trois modules ASIC avec l'outil Simulink/Matlab.

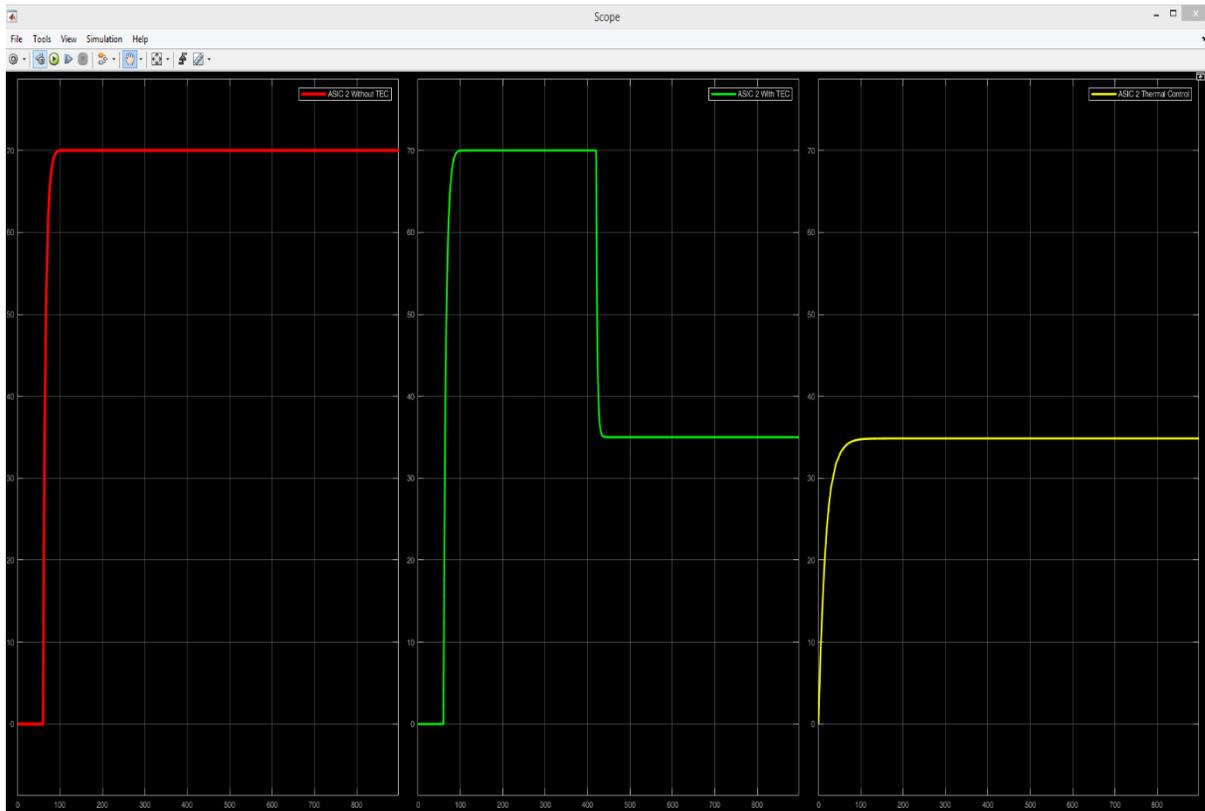


Figure 5.15.5. Simulation thermique de trois modules développés.

Comme montré le voir dans les deux figures 5.15.4 et 5.15.5, une stabilité thermique est rétablie à l'aide d'une unité de contrôle thermique développée sous Simulink/Matlab qui permet de contrôler la température maximale.

Le premier module étant sans TEC (couleur rouge) après une minute (60 secondes), on constate une évolution thermique maximale de 70 °C. Ainsi, dans le cas du second module avec TEC (couleur vert) après sept minutes (420 secondes), nous observons une baisse de la température considérable à 35 °C. Nous avons aussi noté que la courbe reste stable jusqu'à la fin des quinze minutes (900 secondes). Cependant, pour contrôler et maintenir la stabilité thermique sur l'ASIC à chaque instant, nous avons dû ajouter un troisième module (couleur jaune) qui permet de contrôler le dépassement de la température entre 0 et 35 °C maximum.

Nous pouvons alors en déduire que les résultats obtenus à l'aide de l'outil Simulink/Matlab confirment et valident les résultats de la modélisation récoltés à l'aide de l'outil d'éléments finis COMSOL.

5.7. Simulation et implémentation FPGA

Dans cette section, nous allons présenter les résultats de l'implémentation sur FPGA des résultats théoriques et des simulations thermiques par la méthode de refroidissement par TEC pour l'ASIC à très grande échelle. Le code VHDL et son Test Bench sont mis en œuvre dans l'opération destinée à faciliter le développement de l'algorithme et de l'architecture de l'unité de contrôle. Cette architecture sera modélisée en langage de haut niveau, simulée pour évaluer leurs performances et implémentée sur la carte FPGA, DE1 cyclone V.

Notre conception est divisée en trois parties principales : la simulation, la synthèse et l'implémentation du code VHDL. Après avoir généré les deux fichiers code.vhd (le système de fichiers primaires) et test_bench.vhd (le banc de test) avec le « System Generator » du Quartus Prime Navigator qui fait la synthèse et la génération des fichiers RTL, nous avons implémenter et afficher la température maximale sur FPGA.

4.7.1 Création et génération des fichiers RTL avec Quartus Prime

Cette partie présente la description de l'architecture de l'unité de contrôle thermique en utilisant un éditeur de code VHDL, avec le générateur système du Quartus Prime Navigator, qui peut synthétiser le design et générer les fichiers RTL comme montré dans les deux Figures 5.16 et 5.17.

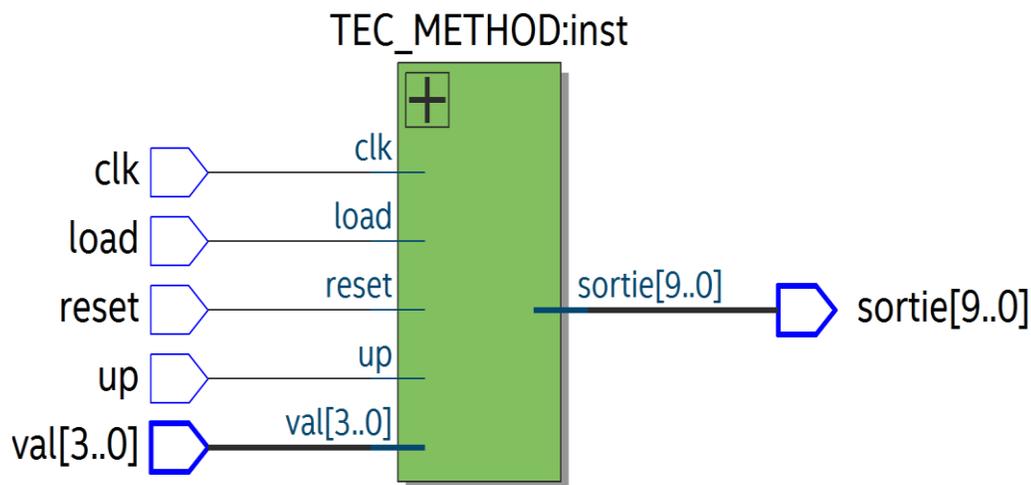


Figure 5.16. Structure RTL de l'unité de contrôle thermique avec Quartus Prime.

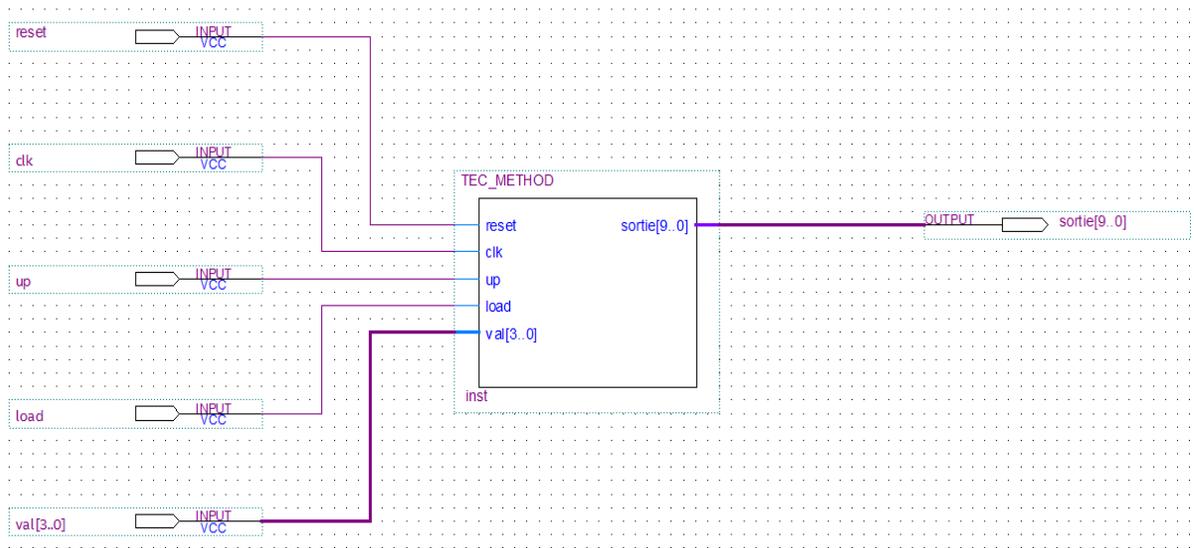


Figure 5.17. Structure haut niveau de l'unité de contrôle thermique sous Quartus Prime.

4.7.2 Simulation logique du code VHDL

Le but principal de cette section est d'effectuer la simulation et l'implémentation des modèles mathématique, ainsi que d'effectuer l'analyse thermique avec la méthode des éléments finis (FEM) et de valider l'unité de contrôle thermique développée sous Simulink/Matlab. La Figure 5.18 montre la bonne valeur de la température simulée trouvée, soit 35 °C (308 °K) après 60 secondes.

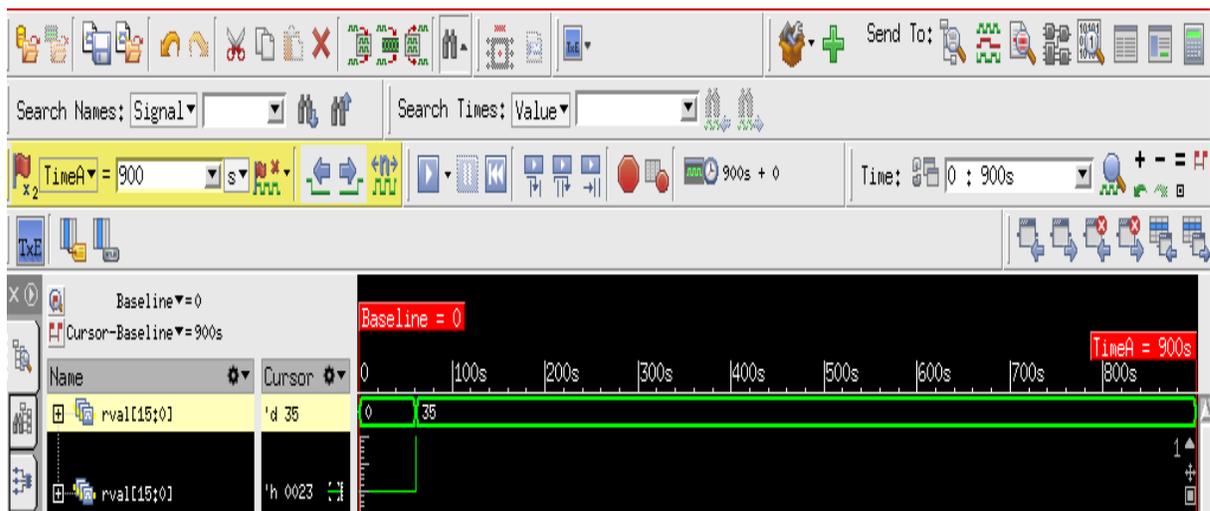


Figure 5.18. Simulation de l'unité de contrôle thermique avec l'outil Modelsim.

La simulation et la synthèse de l'unité de contrôle thermique sont réalisées avec le code VHDL, développé au laboratoire LIMA. Parmi les avantages du codage VHDL, on retrouve l'utilisation du banc de test, qui consiste à vérifier la capacité de notre algorithme pour fonctionner selon les spécifications initiales.

Des vecteurs de test ont été créés par la suite afin d'assurer une couverture spécifique en optimisant le temps de l'essai, ou de minimiser la dégradation des performances. La Figure 5.19 résume les résultats de la température affichée de 35 °C (308 °K) après 60 secondes.

Après avoir téléchargé le code VHDL, le programme était en cours d'exécution et les sorties sont affichées. L'horloge est fixée à 50 MHz, donc les sorties doivent changer avec une fréquence de 50 MHz. Pour augmenter la température de la carte FPGA DE1 et vérifier nos résultats obtenus à l'aide de différentes simulations, un séchoir est utilisé pour étalonner le capteur sur la carte FPGA.

La Figure 5.19 montre le résultat obtenu : la température est stabilisée à 35 °C (308 °K).

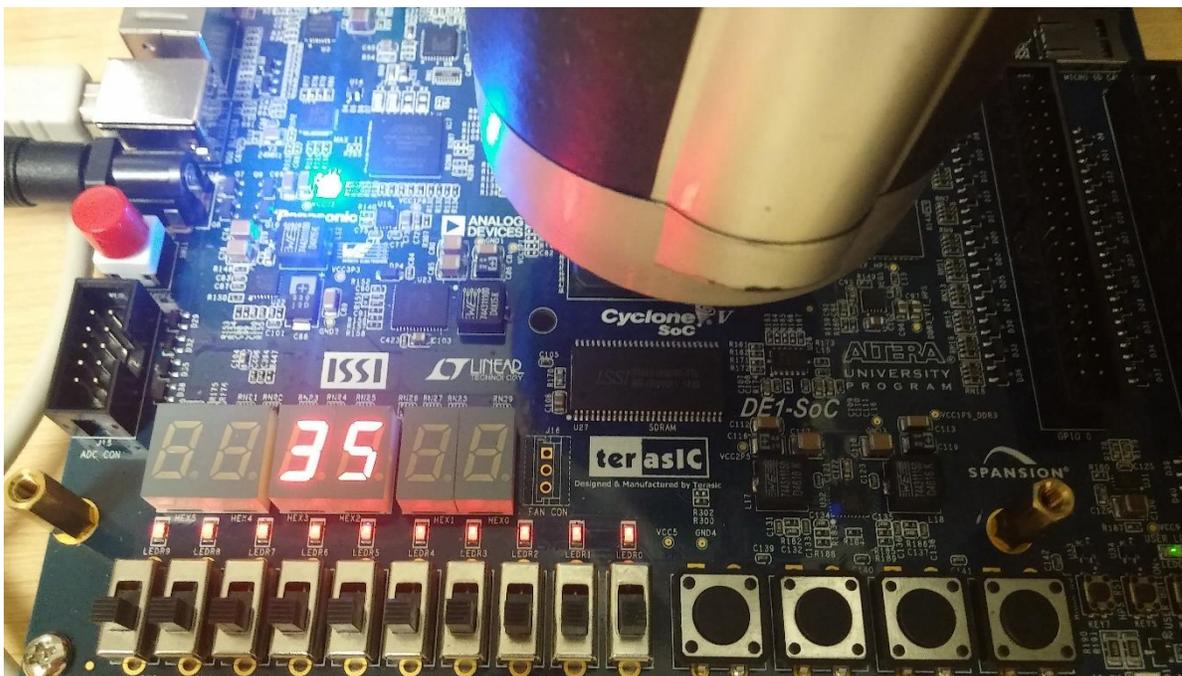


Figure 5.19. La température maximale affichée sur FPGA à l'aide d'un séchoir.

Après l'utilisation des outils de synthèse, de planification du placement « mapping », et de routage, les outils spécialisés de vérification post-synthèse ont été exploités également pour

programmer la carte FPGA. Une simulation avec l'outil Modelsim expose la manière de comparer l'implémentation par rapport à la simulation logique.

La Figure 5.19 montre que la valeur affichée sur l'écran LCD correspond aux résultats obtenus précédemment. La simulation et l'implémentation sur la carte FPGA peuvent être appliquées à n'importe quel type d'environnement pour obtenir des performances améliorées par rapport aux différents systèmes complexes tels que le scanner LabPET II. De plus, elle est capable de maintenir la température constante à la valeur souhaitée indépendamment des changements des paramètres de l'environnement. De cette manière, le problème des dépassements peut être résolu dans une grande mesure. L'un des défis importants dans le domaine de l'électronique et du scanner LabPET II est celui des problèmes liés à la surchauffe, en particulier lorsqu'il s'agit de systèmes et microsystèmes intégrés et complexes, mais la question importante est de savoir comment effectuer une surveillance thermique, pour indiquer des situations de surchauffe, sans contrôle implicite, d'où l'importance d'une méthodologie comme celle proposée dans cette thèse, utilisée particulièrement dans le cas d'un SoC tel que notre ASIC présenté ici, surtout qu'il n'y a pas beaucoup d'espace entre les radials Boards du scanner labPET II. On pourrait croire qu'il faut un appareil compliqué pour effectuer des calculs tels que décrits dans l'article [55], mais ce n'est pas nécessaire, car nous voulons seulement détecter et prédire les situations de surchauffe et intervenir immédiatement en utilisant des modules TECs pour maintenir une stabilité thermique pendant le fonctionnement du système scanner.

Pour garder la stabilité thermique du scanner LabPET II à 35 °C, nous avons besoin d'un algorithme de contrôle thermique en temps réel.

5.8. Système de contrôle thermique en temps réel

Pour contrôler et garder la stabilité thermique du scanner LabPET II à 35 °C, nous avons développé d'un nouvel algorithme en C embarqué pour la gestion et surveillance thermique en temps réel. À l'aide du logiciel MCUXpresso, on peut programmer et activer une LED RGB de couleur rouge, bleue ou verte selon la température prédite pour la carte Freescale FRDM-KL26Z. La Figure 5.20 montre le schéma technique de la carte FRDM-KL26Z utiliser.

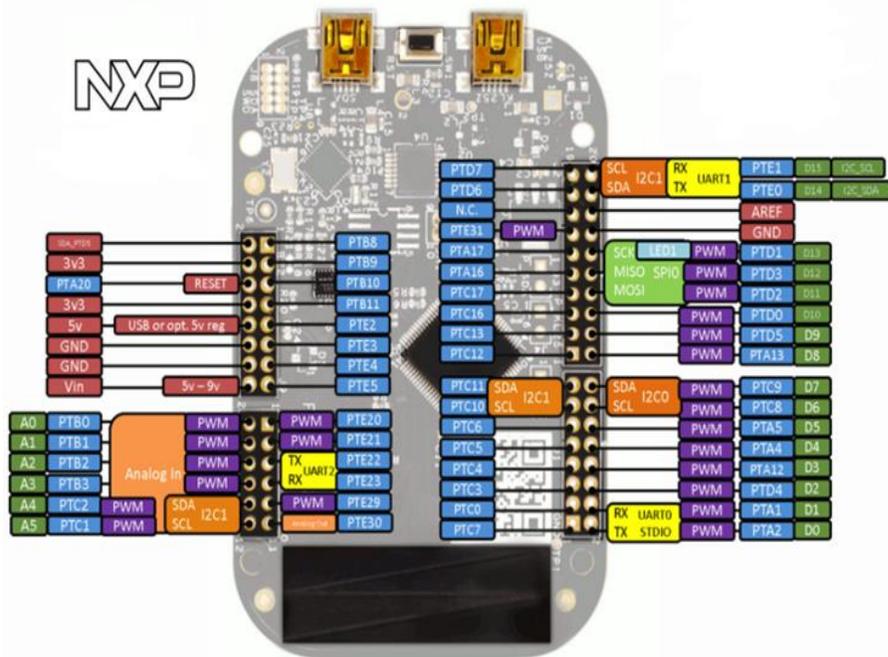


Figure 5.20. Schéma technique de la carte FRDM-KL26Z.

À l'aide de l'outil intégré de développement MCUXpresso, nous avons programmer et compiler ainsi de rouler notre programme en C, qui décompose en deux partie compteur et alarme. La Figure 5.21 montre le principe du programme développer.

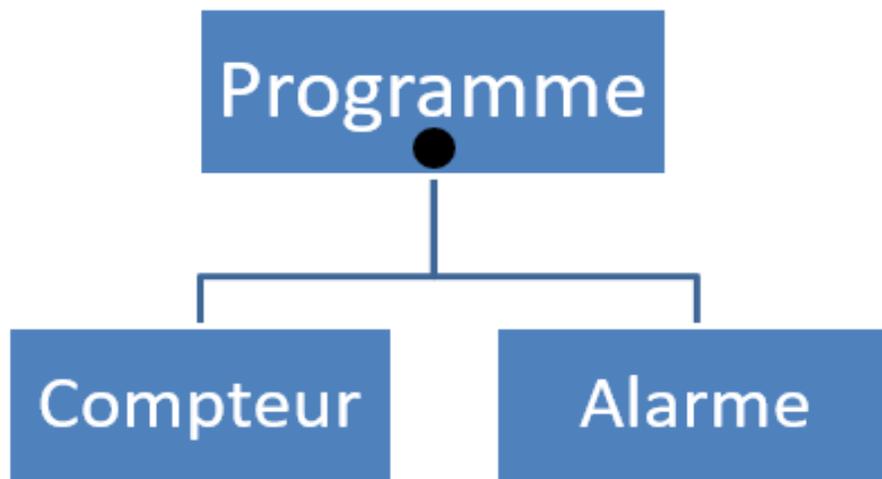


Figure 5.21. Composition formelle du programme en C embarqué.

Après la programmation pour détecter les pics thermiques en temps réel dans le cas d'une seule source de chaleur en comparant plusieurs mesures de température pendant un échauffement transitoire.

La Figure 5.22 montre la console de l'outil MCUXpresso lors de la prévision des valeurs de température en temps réel associées à la réponse expérimentale de la carte FRDM-KL26Z sur différents états thermiques. L'idée présentée ici est de répéter le processus chaque fois qu'un pic ou un dépassement de température est dépassé.

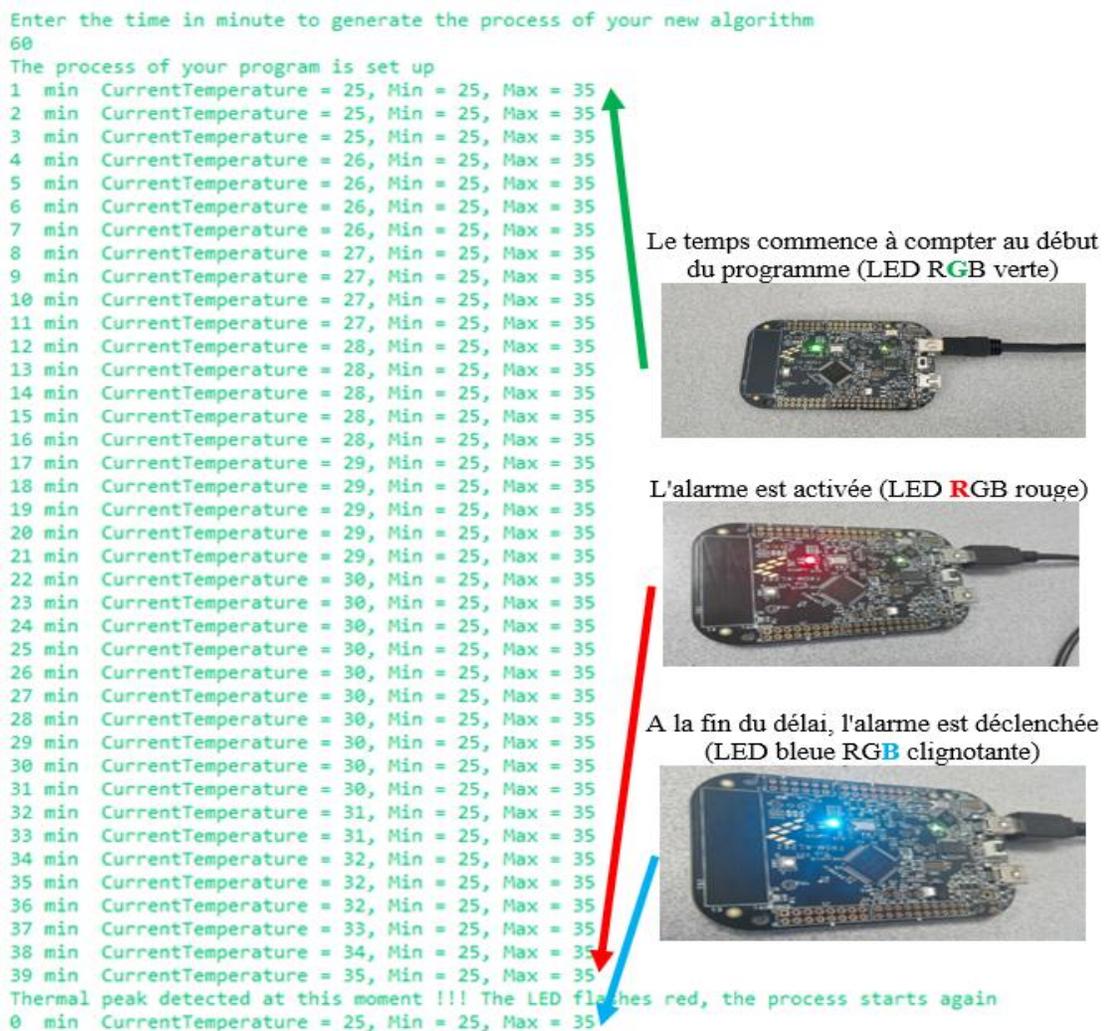


Figure 5.22. La console d'exécution de l'algorithme temps réel proposé associé à la réponse expérimentale de la carte FRDM-KL26Z sur différents états thermiques.

L'algorithme développé est basé sur une mesure thermique discrète extraite par l'outil MCUXpresso qui permet de détecter les pics thermiques dans l'interface du capteur. Cette méthode a été appliquée à une carte de développement Freescale. Une implémentation en temps réel de l'algorithme codé avec le langage C a été développée. Il peut être utilisé pour gérer la température sur la puce avant que les dommages ne soient induits par les effets thermiques.

5.9. Résumé

Dans le chapitre cinq, nous avons présenté le développement d'une nouvelle méthode pour contrôler le scanner thermiquement en évacuant la chaleur afin de réduire la température globale et de maintenir la stabilité thermique du scanner LabPET II, de sorte que s'il y a une augmentation de température au-dessus de la limite, il y aura une intervention immédiate et en temps réel par la méthode de refroidissement thermoélectrique (TEC), qui a été caractérisée thermiquement par deux techniques numériques, la dynamique numérique des fluides (CFD) et l'analyse par transfert thermique (HTA). Cependant, nous avons conclu qu'en raison du niveau élevé de puissance dissipée sur chaque ASIC du scanner, le flux de convection forcée avec les TECs constituait le moyen le plus efficace d'évacuer cette quantité de chaleur et garder la stabilité thermique du LabPET II. Après la validation de la méthode de contrôle thermique développé avec l'outil Simulink/Matlab incluant les différents modules (ASIC, TEC, RO et cellules GDS), nous avons réalisé des simulations avec l'outil Modelsim, pour implémenter les résultats trouvés sur la carte FPGA. Cette technique implémentée sur la carte FPGA peut être appliquée à diverses applications industrielles complexes, y compris les dernières générations des scanners médicaux.

Pour garder la stabilité thermique du scanner LabPET II à 35 °C, nous avons développé et implémenter sur la carte de développement Freescale FRDM-KL26Z d'un algorithme de contrôle thermique en temps réel. La méthode proposée permet d'intervenir au bon moment pour atténuer les éventuels effets thermiques néfastes dans les interfaces de capteurs intégrés dédiées aux applications industrielles embarquées.

Conclusion générale

Dans cette thèse, nous avons proposé la modélisation, implémentation et conception d'un système de contrôle thermique appliqué au scanner LabPET II et nous avons réalisé :

- La modélisation et la validation de la stabilité thermique par FEM (COMSOL et NISA) en tenant compte de la dissipation thermique de chaque ASIC, RB et DM du LabPET II.
- L'implémentation de l'unité de détection des pics thermiques sur la carte FPGA.
- La conception d'un capteur RO en technologie 65 nm pour la surveillance thermique.
- La conception d'un système de contrôle thermique avec des TECs appliqué au scanner LabPET II à haute performance.
- Le développement d'un nouvel algorithme en C embarqué pour la gestion et surveillance thermique en temps réel.

L'objectif de cette thèse était de trouver des solutions liées à l'aspect thermique pour cette problématique dans le scanner LabPET II afin d'assurer le contrôle de la température au niveau des ASIC-PDA et la stabilité thermique sur leur surface. Dans un premier temps, nous avons procédé à la modélisation thermique du scanner LabPET II et la caractérisation de la dynamique thermique basée sur deux techniques numériques, soit le CFD et HTA. Par la suite, nous avons effectué une modélisation et une implémentation d'une unité de détection des pics thermiques pour l'ASIC du scanner LabPET II. Cette dernière a été réalisée en utilisant la méthode GDS. Par la suite, nous avons conçu un système de contrôle de la stabilité thermique. Ce système est basé sur des TECs conçus avec l'outil Simulink/Matlab, cette unité permettant de modéliser le transfert de chaleur et de contrôler la température de l'ASIC d'une façon permanente et en temps réel. Par la suite, nous avons effectué une simulation et une implémentation sur la carte FPGA.

Finalement, la simulation et la conception d'un capteur de température RO à base de cinq inverseurs ont été présentées. Le capteur de température développé a été conçu avec la technologie CMOS en utilisant la librairie TSMC 65 nm. Nous avons effectué une étude pour déterminer le nombre d'inverseurs qui forment un oscillateur en anneau RO (Ring Oscillator) nécessaire sans perte en espace de silicium au niveau de l'intégration.

Ainsi, l'objectif de cette thèse était de faire l'étude, l'implémentation et conception d'un système de contrôle thermique appliqué au scanner LabPET II (système complexe multi sources de chaleur) à haute performance dans le but d'atteindre la stabilité thermique. Ce scanner, développé par les deux groupes de recherche GRAMS et CIMS de l'Université de Sherbrooke, permettra d'atteindre des résolutions spatiales submillimétriques. Il est composé de 39 000 détecteurs sur un anneau de 15 cm de diamètre par 12 cm de longueur axiale.

Discussion et travaux futurs

Le travail accompli a fait l'objet de plusieurs résultats originaux publiés dans le domaine de la gestion et le contrôle thermique dans les systèmes électroniques complexes comme le scanner LabPET II de l'Université de Sherbrooke. Il y a plusieurs chercheurs ouvrants dans le domaine de détection et de prédiction thermique dans les Circuits intégrés (CI), en particulier les contributions suivantes :

Prof. A. Napieralski : Il a réalisé un système de détection d'une source de chaleur sur les CI et de monitoring thermique en ligne en installant une unité de traitement des données en dehors de la puce, l'avantage de notre contribution c'est d'intégrer le système de détection et de monitoring de sources de chaleur sur les CI.

Prof. E. Bomeo : A traité la problématique de cartographie thermique au niveau de dé en utilisant des RO, l'avantage de notre contribution est au niveau la détection des pics thermiques, afin d'avoir la différence entre deux pics thermiques.

Prof. A. Lakhssassi : Il a réalisé un module de surveillance du stress thermique dans les circuits VLSI par la méthode GDS, l'avantage de notre contribution c'est la modélisation, l'implémentation et la conception de l'algorithme de détection basée sur des capteurs RO intégré et conçu en technologie 65 nm pour la surveillance thermique.

Il est souhaitable de continuer le projet pour le développement du prototype physique de refroidissement du LabPET II en intégrant les différentes parties à savoir :

- Le module de détection et de prédiction (notre contribution).
- Le capteur RO intégré et conçu en technologie 65 nm (notre contribution) et poursuivre la conception du capteur RO en 28 nm, 16 nm et 7 nm.
- Implémenter le module de contrôle de la stabilité thermique sur ASIC (notre contribution).
- Optimisation de la taille des trois TECs pour refroidir le scanner LabPET II.

Publications dans le cadre de cette Thèse

Liste de publications scientifiques qui font partie des chapitres présentés dans la thèse

- [1] **A. Oukaira**, R. Fontaine, R. Lecomte and A. Lakhssassi. Real Time Implementation of a New Algorithm for Thermal Management and Stability in the Scanner LabPET II to Validate real Measurement using the TEC Methodology. IEEE Power Systems, IEEE Transactions on biomedical engineering, 2020 (*Déjà envoyer*).
- [2] **A. Oukaira**, E. Kengne and A. Lakhssassi. Embedded Thermal Sensor Design on 65 nm Technology for on-chip Transient Thermal Monitoring and Thermal Peak Detection. MDPI Sensors in Experimental Mechanics, 2020 (*Accepté*).
- [3] **A. Oukaira**, O. Ettahri and A. Lakhssassi. Design and implementation of a thermal peak detection unit in Complex System Design. The 16th International Conference on Mobile Systems and Pervasive Computing (MobiSPC 2019), August 19-21, 2019, Halifax, Canada.
- [4] **A. Oukaira**, I. Mellal, O. Ettahri, A. Lakhssassi and M. Tabaa. Simulation and FPGA Implementation of a Ring Oscillator Sensor for Complex System Design. Advances in Science, Technology and Engineering Systems Journal (ASTESJ), vol. 3, no. 1, pp. 317-321, 2018.
- [5] **A. Oukaira**, O. Ettahri, M. Tabaa and A. Lakhssassi. Development of a Thermal Cooling Model for Complex System Design using Thermoelectric Peltier. International Conference on Optimization and Applications (ICOA'2018), 26-27 April 2018, Mohammedia, Morocco.
- [6] **A. Oukaira**, I. Mellal, O. Ettahri, E. Kengne and A. Lakhssassi. Thermal Management and Monitoring Based on Embedded Ring Oscillator Network Sensors for Complex System Design. International Journal of Computer Engineering and Information Technology (IJCEIT), vol. 9, no. 7, pp. 127-134, 2017.
- [7] **A. Oukaira**, O. Ettahri and A. Lakhssassi. Modeling and FPGA implementation of a thermal peak detection unit for complex system design. International Journal of Advanced Computer Science and Applications (IJACSA), vol. 8, no. 6, pp. 307-312, 2017.
- [8] **A. Oukaira**, S. Taheri, M. Nour and A. Lakhssass. Developmentt and Validation of Thermal Stability in Complex System ABDM has two ASIC by NISA and COMSOL Tools. IEEE (ICSEGE), 14-17 August 2017, Oshawa, Canada.
- [9] **A. Oukaira**, R. Fontaine, R. Lecomte and A. Lakhssassi. Thermal Cooling System Development for LabPET II Scanners by Forced Convection Flow. IEEE 15th International Conference (NEWCAS 2017), 25-28 June 2017, Strasbourg, France.

- [10] **A. Oukaira**, N. Pal, O. Ettahri, E. Kengne and A. Lakhssassi. Simulation and FPGA Implementation of Thermal Convection Equation for Complex System Design. International Journal on Engineering Applications (IREA), vol. 2, no. 6, pp. 307-312, 2016.
- [11] **A. Oukaira**, A. Lakhssassi, R. Fontaine and R. Lecomte. Thermal Management and Stability by Convection for the LabPET II Scanners. Conference TEXPO Research Compétition, 16-17 October 2016, Montréal, Canada.
- [12] **A. Oukaira**, A. Lakhssassi, R. Fontaine and R. Lecomte. Development of a Thermal Model for the LabPET II Scanners Using COMSOL Metaphysics Software. Conference proceeding of the COMSOL Software, 7-9 October 2015, Boston, USA.

Liste de publications qui ne font pas partie des chapitres présentés dans la thèse

- [1] **A. Oukaira**, O. Ettahri, A. Ali, A. Hassan, Y. Savaria and A. Lakhssassi. Real Time Thermal Monitoring of Versatile SoC/SiP Industrial Embedded Sensors Interfaces. The 63rd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS 2020), August 09-12, 2020, Springfield, MA, USA (*Déjà envoyer*).
- [2] A. Khalil, Mohamed Tabaa, **A. Oukaira** and F. Monteiro. Combined Reed-Solomon and Convolutional codes for IWSN based on IDWPT/DWPT Architecture. The 16th International Conference on Mobile Systems and Pervasive Computing (MobiSPC 2019), August 19-21, 2019, Halifax, Canada.
- [3] **A. Oukaira**, F. Ben Hamouda and A. Lakhssassi. Multi-Heat Sources Silicon-Die Thermal Monitoring Using Embedded Sensor Cells Unite. Annual International Conference on Computer & Software Engineering (ATINER 2019), 22-25 July 2019, Athens, Greece.
- [4] I. Mellal, **A. Oukaira**, Y. Fouzar, E. Kengne and A. Lakhssassi. Improved Thermal Ablation of Tumors Using A Real-Time Local Data Measurement System. Biomedical Journal of Scientific & Technical Research (BJSTR), vol. 11, no. 5, pp. 1-11, 2018.
- [5] I. Mellal, **A. Oukaira**, E. Kengne and A. Lakhssassi. Thermal Therapy Modalities for Cancer Treatment: A Review and Future Perspectives. International Journal of Applied Science-Research and Review (IJASRR), vol. 4, no. 2:14, pp. 1-11, 2017.
- [6] I. Mellal, **A. Oukaira**, E. Kengne and A. Lakhssassi. Implementation of the Bio Heat Transfer Equation on BEECube FPGA Platform. International Journal of Computer Engineering and Information Technology (IJCEIT), vol. 9, no. 9, pp. 198-202, 2017.
- [7] M. Nour, **A. Oukaira**, M. Bougataya and A. Lakhssassi. Using Virtual Bang-Bang Controllers to Optimise Treatment of Brain Tumors. Asia Pacific Journal of Contemporary Education and Communication Technology (APJCECT), vol. 3, no. 2, pp. 207-217, 2017.

[8] M. Tabaa, S. Saadaoui, F. Monteiro, A. Dandache and **A. Oukaira**. IWSN under an Industrial Wireless Channel in the Context of Industry 4.0. IEEE 29th International Conference on Microelectronics (ICM), 10-13December 2017, Beirut, Lebanon.

[9] M. Nour, **A. Oukaira**, M. Bougataya and A. Lakhssassi. Thermal Damage Modeling Analysis and Validation during Treatment of Tissue Tumors. 5th International Conference on Biological and Medical Sciences (ICBMS), 23-25 August 2017, Kitakyushu, Japan.

Annexe A : Extraction des données sur l'ASIC avec l'outil NISA

Le code suivant représente les données relevées de la modélisation de l'ASIC a l'aide d'une ligne verticale depuis le centre du modèle ASIC, dans les nœuds suivants : 283, 331, 741, 1098, 1557, 2170, 2986 et 3547.

```
*****
***N I S A ***                ***** CRANES SOFTWARE INC. *****
*****
      *NISA* COMPUTER PROGRAM RELEASE NO. 15.0
      AUTHORIZED SITE: UNIVERSITY DU QUEBEC HULL
      *** Windows 2K/XP PRODUCTION VERSION ***
      LAST UPDATED: 2017/07/05
*****
*** N I S A ***                ***** CRANES SOFTWARE INC. *****
*****
LINE  1 **** NISA file: DISPLAY VERSION - 15.0 PRODUCTION: ****
LINE  2 ** This NISA file is written out by DISPLAY-III FEA program
LINE  3 ** All ** lines are comment cards except lines with **_DISP3_:
LINE  4 ** labels which have special meanings and retained in NISA file
LINE  5 ** for compatibility with DISP3 database. Pls do not modify them
LINE  6 ****
LINE  7 **EXECUTIVE data deck
LINE  8 ANALYSIS = THEAT
LINE  9 BLANK COMMON = 714070
LINE 10 SOLV = FRON
LINE 11 FILE = Modélisation_Aziz_Test
LINE 12 SAVE = 26,39
LINE 13 MASS FORMULATION = LUMPED
LINE 14 INITIAL = 25.0
LINE 15 *TITLE
1     NISA HEAT TRANSFER ANALYSIS - VERSION 15.0 (512MEG --2017/07/05)
2017/Jul/05 15:29:39
      TRANSIENT HEAT TRANSFER
      -----
      MASTER CONTROL PARAMETERS
      -----
      SOLUTION CONTROL KEY ..... = 1
      RESTART KEY ..... = 0
      MAXIMUM WAVEFRONT ..... = 3547
      ELEMENT RESEQUENCE KEY ..... = 0
      INITIAL TEMPERATURE ..... = 2.50000E+01
```

Modèle simple d'un ASIC multicouches 2D
 1 NISA HEAT TRANSFER ANALYSIS - VERSION 15.0 (512MEG --2017/07/05)
 2017/July/05 15:29:39
 SELECTION OF ELEMENT TYPES FROM THE NISA ELEMENT LIBRARY
 (*ELTYPE DATA GROUP)

NSRL	NKTP	NORDR	NODES/EL	DOF/NODE
----	----	-----	-----	-----
1	102	2	8	1

- NODAL COORDINATES (*NODES DATA GROUP) -

NODE NO.	COORD SYS. ID.	COORDINATES		
1	0	0.00000E+00	0.00000E+00	0.00000E+00
2	0	2.50000E-01	0.00000E+00	0.00000E+00
.
.
282	0	2.08333E+00	5.00000E-01	0.00000E+00
283	0	2.16667E+00	5.00000E-01	0.00000E+00
284	0	2.33333E+00	5.00000E-01	0.00000E+00
.
.
330	0	7.50000E-01	4.16667E-02	0.00000E+00
331	0	7.50000E-01	8.33333E-02	0.00000E+00
332	0	7.50000E-01	1.66667E-01	0.00000E+00
.
.
740	0	1.66667E-01	1.00000E+00	0.00000E+00
741	0	3.33333E-01	1.00000E+00	0.00000E+00
742	0	4.16667E-01	1.00000E+00	0.00000E+00
.
.
1097	0	6.66667E-01	1.12500E+00	0.00000E+00
1098	0	8.33333E-01	1.12500E+00	0.00000E+00
1099	0	9.16667E-01	1.12500E+00	0.00000E+00
.
.
1556	0	2.90000E+00	1.20000E-01	0.00000E+00
1557	0	3.01600E+00	1.20000E-01	0.00000E+00
1558	0	3.13200E+00	1.20000E-01	0.00000E+00
.
.

2169	0	3.01600E+00	3.20000E-01	0.00000E+00
2170	0	3.13200E+00	3.20000E-01	0.00000E+00
2171	0	3.24800E+00	3.20000E-01	0.00000E+00
.
.
2985	0	1.66667E-01	3.12500E+00	0.00000E+00
2986	0	3.33333E-01	3.12500E+00	0.00000E+00
2987	0	4.16667E-01	3.12500E+00	0.00000E+00
.
.
3546	0	3.01600E+00	8.37000E-01	0.00000E+00
3547	0	3.13200E+00	8.37000E-01	0.00000E+00
3548	0	3.24800E+00	8.37000E-01	0.00000E+00

MATERIAL PROPERTIES TABLE

MATERIAL INDEX 1

KXX	1	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KYY	1	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KZZ	1	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
DENS	1	0	0	2.9680000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
C	1	0	0	9.2050000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0

MATERIAL INDEX 2

KXX	2	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KYY	2	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KZZ	2	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
DENS	2	0	0	2.9680000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
C	2	0	0	9.2050000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0

MATERIAL INDEX 3

KXX	3	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KYY	3	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KZZ	3	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
DENS	3	0	0	2.9680000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
C	3	0	0	9.2050000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0

MATERIAL INDEX 4

KXX	4	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KYY	4	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
KZZ	4	0	0	2.2590000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
DENS	4	0	0	2.9680000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0
C	4	0	0	9.2050000E-01	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0.0000000E+00	0

MATERIAL INDEX 5

```

KXX  5  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
KYY  5  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
KZZ  5  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
DENS  5  0  0  2.9680000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
C      5  0  0  9.2050000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0

```

MATERIAL INDEX 6

```

KXX  6  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
KYY  6  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
KZZ  6  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
DENS  6  0  0  2.9680000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
C      6  0  0  9.2050000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0

```

MATERIAL INDEX 7

```

KXX  7  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
KYY  7  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
KZZ  7  0  0  2.2590000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
DENS  7  0  0  2.9680000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0
C      7  0  0  9.2050000E-01  0.0000000E+00  0.0000000E+00  0.0000000E+00  0.0000000E+00  0

```

***** MEAN TEMPERATURE *****

MINIMUM TEMPERATURE = 2.50000E+01 AT NODE 283

MAXIMUM TEMPERATURE = 3.10000E+01 AT NODE 3547

**** TIME LOG IN SECOND

S*****

```

INPUT (READ, GENERATE ) .....= 0.109
REORDERING OF ELEMENTS .....= 0.016
PRE-FRONT .....= 0.016
FORM ELEMENT STIFFNESS AND LOAD .....= 0.594
SOLUTION OF SYSTEM EQUATIONS .....= 0.562
POST PROCESSING .....= 0.594
TOTAL CPU .....= 1.891

```

** DISK SPACE USED = 5.83 MEGABYTES

Annexe B : Code VHDL de la source de chaleur et son test

```
--This VHDL allowed to determine the Ts
--Create this code by Aziz Oukaira The April 1,
2017
```

```
LIBRARY ieee;
USE ieee.math_real.all;
use ieee.numeric_std.all;
use ieee.std_logic_1164.all;
```

```
entity pic is
```

```
port (
```

```
    clk, rst : in std_logic;
    a        : in signed (3 downto 0);
    H        : in signed (3 downto 0);
    fa1      : in signed (3 downto 0);
    fc1      : in signed (3 downto 0);
    k        : in signed (3 downto 0);
    k1       : in signed (3 downto 0);
    k2       : in signed (3 downto 0);
    Ts       : out signed (19 downto 0)
);
```

```
end entity;
```

```
architecture pic_thermique of pic is
```

```
Begin
```

```
    process (rst,clk)
```

```
    begin
```

```
        if(rst ='0') then
```

```
            if(clk'event and clk ='1') then
```

```
                Ts <= ((H/a)*(fc1 - fa1)*(k + k2)*(1 +
(k1*k1))/((k*(1 - k1*k2))-(k1 + k2))) + fa1;
```

```
            end if;
```

```
        end if;
```

```
    end process;
```

```
end pic_thermique;
```

```
--This test allowed to determine the Ts
--Create this test by Aziz Oukaira The April 1,
2017
```

```
vsim work.pic
view wave
# .wave
view signals
# .signals
add wave *
radix decimal
```

```
force -repeat 100ns clk 1 1,0 50ns;
```

```
force rst "0";
```

```
#Pattern #1
force a "3";
force H "3";
force fa1 "1";
force fc1 "0";
force k "1";
force k1 "0";
force k2 "0";
run 100 ns;
```

```
#Pattern #2
force a "0";
force H "0";
force fa1 "1";
force fc1 "1";
force k "10";
force k1 "0";
force k2 "0";
run 100 ns;
```

```
#Pattern #1
force a "1";
force H "1";
force fa1 "1";
force fc1 "0";
force k "1";
force k1 "0";
force k2 "0";
run 100 ns;
```

Annexe C : Code VHDL de la méthode GDS et son test bench

```
--This VHDL allowed to test the GDS method used in this thesis
--Create this code by Aziz Oukaira The Jun 12, 2017

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_signed.all;
library dspbuilder;
use dspbuilder.dspbuilderblock.all;
library lpm;
use lpm.lpm_components.all;
Entity GDS_altera_test_final is
    Port(
        clock          :    in std_logic;
        sclrp          :    in std_logic:= '0';
        iInput10s      :    in std_logic_vector(23 downto 0);
        iInput11s      :    in std_logic_vector(23 downto 0);
        iInput14s      :    in std_logic_vector(23 downto 0);
        iInput15s      :    in std_logic_vector(23 downto 0);
        iInput16s      :    in std_logic_vector(23 downto 0);
        iInput21s      :    in std_logic_vector(23 downto 0);
        iInput22s      :    in std_logic_vector(23 downto 0);
        iInput9s       :    in std_logic_vector(23 downto 0);
        oOutput1s      :    out std_logic_vector(16 downto 0)
    );
end GDS_altera_test_final;
architecture aDspBuilder of GDS_altera_test_final is
    signal SAOutput10 :    std_logic_vector(16 downto 0);
    signal sclr        :    std_logic:= '0';
    signal A0W         :    std_logic_vector(23 downto 0);
    signal A1W         :    std_logic_vector(23 downto 0);
    signal A2W         :    std_logic_vector(23 downto 0);
    signal A3W         :    std_logic_vector(23 downto 0);
    signal A4W         :    std_logic_vector(23 downto 0);
    signal A5W         :    std_logic_vector(23 downto 0);
    signal A6W         :    std_logic_vector(23 downto 0);
    signal A7W         :    std_logic_vector(23 downto 0);
    signal A8W         :    std_logic_vector(23 downto 0);
    signal A9W         :    std_logic_vector(23 downto 0);
    signal A10W        :    std_logic_vector(23 downto 0);
    signal A11W        :    std_logic_vector(23 downto 0);
    signal A12W        :    std_logic_vector(23 downto 0);
    signal A13W        :    std_logic_vector(23 downto 0);
    signal A14W        :    std_logic_vector(97 downto 0);
    signal A15W        :    std_logic_vector(146 downto 0);
    signal A16W        :    std_logic_vector(97 downto 0);
    signal A17W        :    std_logic_vector(164 downto 0);
    signal A18W        :    std_logic_vector(245 downto 0);
    signal A19W        :    std_logic_vector(389 downto 0);
    signal A20W        :    std_logic_vector(48 downto 0);
```

```

signal  A21W      :      std_logic_vector(48 downto 0);
signal  A22W      :      std_logic_vector(24 downto 0);
signal  A23W      :      std_logic_vector(98 downto 0);
signal  A24W      :      std_logic_vector(49 downto 0);
signal  A25W      :      std_logic_vector(98 downto 0);
signal  A26W      :      std_logic_vector(147 downto 0);
signal  A27W      :      std_logic_vector(24 downto 0);
signal  A28W      :      std_logic_vector(24 downto 0);
signal  A29W      :      std_logic_vector(24 downto 0);
signal  A30W      :      std_logic_vector(24 downto 0);
signal  A31W      :      std_logic_vector(24 downto 0);
signal  A32W      :      std_logic_vector(24 downto 0);
signal  A33W      :      std_logic_vector(49 downto 0);
signal  A34W      :      std_logic_vector(23 downto 0);
signal  A35W      :      std_logic_vector(23 downto 0);
signal  A36W      :      std_logic_vector(23 downto 0);
signal  A37W      :      std_logic_vector(15 downto 0);
Begin
assert (1<0) report altversion severity Note;
oOutput1s      <=      SAOutput1O;
sclr           <=      sclrp;
-- Input - I/O assignment from Simulink Block "iInput10s"
A6W           <=      iInput10s;
-- Input - I/O assignment from Simulink Block "iInput11s"
A7W           <=      iInput11s;
-- Input - I/O assignment from Simulink Block "iInput14s"
A8W           <=      iInput14s;
-- Input - I/O assignment from Simulink Block "iInput15s"
A9W           <=      iInput15s;
-- Input - I/O assignment from Simulink Block "iInput16s"
A10W          <=      iInput16s;
-- Input - I/O assignment from Simulink Block "iInput21s"
A11W          <=      iInput21s;
-- Input - I/O assignment from Simulink Block "iInput22s"
A12W          <=      iInput22s;
-- Input - I/O assignment from Simulink Block "iInput9s"
A13W          <=      iInput9s;
-- Constant assignment - Simulink Block "Constant1"
A0W(23 downto 0) <=      "000000000000000010000000";
-- Constant assignment - Simulink Block "Constant2"
A1W(23 downto 0) <=      "000000000000000010000000";
-- Constant assignment - Simulink Block "Constant4"
A2W(23 downto 0) <=      "0000000000000000110111011";
-- Constant assignment - Simulink Block "Constant5"
A3W(23 downto 0) <=      "000000000000000010000000";
-- Constant assignment - Simulink Block "Constant6"
A4W(23 downto 0) <=      "000000000000000010000000";
-- Constant assignment - Simulink Block "Constant7"
A5W(23 downto 0) <=      "0000000000000000110111011";
-- Output - I/O assignment from Simulink Block "Output1"
Output1i : SBF generic map(
                                width_inl=>17,
                                width_inr=>8,

```

```

width_outl=>13,
                                width_outr=>4,
                                lpm_signed=>BusIsSigned,
                                round=>0,
                                satur=>0)
    port map (
        xin=>A27W,
        yout=>SAOutput1O);
-- Product Operator - Simulink Block "Product10"
Product10i : AltiMult generic map (
    LPM_WIDTHHA => 49,
    LPM_WIDTHHB => 49,
    PIPELINE => 0,
    one_input => 0,
    lpm => 0,
    lpm_hint => "UNUSED",
    cst_val =>
"00000000000000000000000000000000000000000000000000000",
    SequenceLength => 1,
    SequenceValue => 1,
    dspb_widthr => 98)
    port map (
        DATAA => A20W,
        DATAB => A21W,
        clock => '0',
        ena => '1',
        sclr => '0',
        result => A14W);
-- Product Operator - Simulink Block "Product11"
Product11i : AltiMult generic map (
    LPM_WIDTHHA => 48,
    LPM_WIDTHHB => 99,
    PIPELINE => 0,
    one_input => 0,
    lpm => 0,
    lpm_hint => "UNUSED",
    cst_val =>
"00000000000000000000000000000000000000000000000000000
00000000000000000000",
    SequenceLength => 1,
    SequenceValue => 1,
    dspb_widthr => 147)
    port map (
        DATAA(47 downto 24) => A5W(23 downto 0),
        DATAA(0) => '0',
        DATAA(1) => '0',
        DATAA(2) => '0',
        DATAA(3) => '0',
        DATAA(4) => '0',
        DATAA(5) => '0',
        DATAA(6) => '0',
        DATAA(7) => '0',
        DATAA(8) => '0',

```

```

DATAA(9)      =>    '0',
               DATAA(10)      =>    '0',
               DATAA(11)      =>    '0',
               DATAA(12)      =>    '0',
               DATAA(13)      =>    '0',
               DATAA(14)      =>    '0',
               DATAA(15)      =>    '0',
               DATAA(16)      =>    '0',
               DATAA(17)      =>    '0',
               DATAA(18)      =>    '0',
               DATAA(19)      =>    '0',
               DATAA(20)      =>    '0',
               DATAA(21)      =>    '0',
               DATAA(22)      =>    '0',
               DATAA(23)      =>    '0',
               DATAB           =>    A25W,
               clock           =>    '0',
               ena             =>    '1',
               sclr            =>    '0',
               result          =>    A15W);

-- Product Operator - Simulink Block "Product6"
Product6i : AltiMult generic map (
               LPM_WIDTHHA     =>    49,
               LPM_WIDTHHB     =>    49,
               PIPELINE        =>    0,
               one_input        =>    0,
               lpm              =>    0,
               lpm_hint         =>    "UNUSED",
               cst_val          =>
"0000000000000000000000000000000000000000000000000000000000000000",
               SequenceLength  =>    1,
               SequenceValue    =>    1,
               dspb_widthr      =>    98)
    port map (
               DATAB           =>    A20W,
               clock           =>    '0',
               ena             =>    '1',
               sclr            =>    '0',
               result          =>    A16W);

-- Product Operator - Simulink Block "Product7"
Product7i : AltiMult generic map (
               LPM_WIDTHHA     =>    66,
               LPM_WIDTHHB     =>    99,
               PIPELINE        =>    0,
               one_input        =>    0,
               lpm              =>    0,
               lpm_hint         =>    "UNUSED",
               cst_val          =>
"0000000000000000000000000000000000000000000000000000000000000000
00000000000000000000",
               SequenceLength  =>    1,
               SequenceValue    =>    1,

```

```

Begin
    assert (1<0) report altversion severity Note;
-- Sampling clock process generation
    ClkPr: process
    begin
        wait for ClockPeriod/2;
        clock <= not clock;
    end process ClkPr;
-- System Reset: Initialization of Altera Registers
    sReadSimulinkStimuli <='0' when (CountClock<4) else '1';
    WriteStimuli <= not SystemReset;
    ctime:process(clock)
    begin
        if clock'event and clock='0' then
            CountClock <= CountClock+1;
            SystemReset <= not sReadSimulinkStimuli;
        end if;
    end process ctime;
-- Instantiation of Simulink Model GDS_altera_test_final
    U0: GDS_altera_test_final port map (
        clock           =>    clock,
        sclrp           =>    SystemReset,
        iInput10s       =>    iInput10s,
        iInput11s       =>    iInput11s,
        iInput14s       =>    iInput14s,
        iInput15s       =>    iInput15s,
        iInput16s       =>    iInput16s,
        iInput21s       =>    iInput21s,
        iInput22s       =>    iInput22s,
        iInput9s        =>    iInput9s,
        oOutput1s       =>    oOutput1s);
-- Reading Simulink Input Stimuli "iInput10s" from the file "Input10». salt
    pInput10: process(clock)
    file Input10File  : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input10.salt";
    variable Input10Int      : integer;
    variable Input10Line    : line;
    begin
        if (not endfile (Input10File)) and (sReadSimulinkStimuli='1') then
            if clock'event and clock='0' then
                readline (Input10file, Input10Line);
                read (Input10Line, Input10int);
                iInput10s <= int2sstd (Input10Int,24);
            end if;
        end if;
    end process;
    pInput11: process(clock)
    file Input11File  : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input11.salt";
    variable Input11Int      : integer ;
    variable Input11Line    : line ;
    begin
        if (not endfile(Input11File)) and (sReadSimulinkStimuli='1') then
            if clock'event and clock='0' then
                readline(Input11file,Input11Line);

```

```

        read (Input11Line, Input11int);
        iInput11s <= int2sstd (Input11Int,24);
    end if;
end if;
end process;
pInput14: process(clock)
file Input14File : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input14.salt";
variable Input14Int : integer ;
variable Input14Line : line ;
begin
    if (not endfile(Input14File)) and (sReadSimulinkStimuli='1') then
        if clock'event and clock='0' then
            readline(Input14file,Input14Line);
            read (Input14Line,Input14int);
            iInput14s <= int2sstd( Input14Int,24);
        end if ;
    end if ;
end process ;
pInput15:process(clock)
file Input15File : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input15.salt";
variable Input15Int : integer ;
variable Input15Line : line ;
begin
    if (not endfile(Input15File)) and (sReadSimulinkStimuli='1') then
        if clock'event and clock='0' then
            readline(Input15file,Input15Line);
            read(Input15Line,Input15int);
            iInput15s <= int2sstd( Input15Int,24);
        end if ;
    end if ;
end process ;
pInput16:process(clock)
file Input16File : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input16.salt";
variable Input16Int : integer ;
variable Input16Line : line ;
begin
    if (not endfile(Input16File)) and (sReadSimulinkStimuli='1') then
        if clock'event and clock='0' then
            readline(Input16file,Input16Line);
            read(Input16Line,Input16int);
            iInput16s <= int2sstd( Input16Int,24);
        end if ;
    end if ;
end process ;
pInput21:process(clock)
file Input21File : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input21.salt";
variable Input21Int : integer ;
variable Input21Line : line ;
begin
    if (not endfile(Input21File)) and (sReadSimulinkStimuli='1') then
        if clock'event and clock='0' then
            readline(Input21file,Input21Line);
            read(Input21Line,Input21int);

```

```

        iInput21s <= int2sstd( Input21Int,24);
    end if ;
    end if ;
end process ;
pInput22:process(clock)
file Input22File : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input22.salt";
variable Input22Int : integer ;
variable Input22Line : line ;
begin
    if (not endfile(Input22File)) and (sReadSimulinkStimuli='1') then
        if clock'event and clock='0' then
            readline(Input22file,Input22Line);
            read(Input22Line,Input22int);
            iInput22s <= int2sstd( Input22Int,24);
        end if ;
    end if ;
end process ;
pInput9:process(clock)
file Input9File : text open read_mode is "DSPBuilder_GDS_altera_test_final/Input9.salt";
variable Input9Int : integer ;
variable Input9Line : line ;
begin
    if (not endfile(Input9File)) and (sReadSimulinkStimuli='1') then
        if clock'event and clock='0' then
            readline(Input9file,Input9Line);
            read(Input9Line,Input9int);
            iInput9s <= int2sstd( Input9Int,24);
        end if ;
    end if ;
end process ;
pOutput1:process(clock)
file oFile : text open write_mode is "Output1.txt";
variable traceline : line ;
begin
    if WriteStimuli='1' then
        if clock'event and clock='1' then
            write(traceline, conv_integer(oOutput1s),justified=>left, field=>5);
            writeline(oFile,traceline);
        end if ;
    end if ;
end process ;
end architecture tbDspBuilder;

```

Annexe D : Script TCL du capteur RO sous l'outil RTL

```
#####  
## Script réaliser par Mr Oukaira Aziz le 08 Février 2019  
#####  
set DESIGN Five_Inverter  
set SYN_EFF medium  
set MAP_EFF medium  
set DATE [clock format [clock seconds] -format "%b%d-%T"]  
set _OUTPUTS_PATH outputs  
set _REPORTS_PATH reports  
exec mkdir -p ${_REPORTS_PATH}  
set _LOG_PATH logs  
## Define the search path  
set_attribute lib_search_path {.  
/CMC/kits/tsmc_65nm_libs/tcbn65gplus_200a/TSMCHOME/digital/Front_End/timing_power_noise/NLDM/t  
cbn65gplus_140b} /  
## This defines the library to use  
set_attribute library tcbn65gpluswc.lib  
set_attribute lef_library  
{/CMC/kits/tsmc_65nm_libs/tcbn65gplus_200a/TSMCHOME/digital/Back_End/lef/tcbn65gplus_200a/lef/tcb  
n65gplus_9lmT2.lef} /  
set_attribute cap_table_file  
{/CMC/kits/tsmc_65nm_libs/tcbn65gplus_200a/TSMCHOME/digital/Back_End/lef/tcbn65gplus_200a/techfil  
es/captable/cln65g+_1p09m+alrdl_rcworst_top2.captable} /  
  
## Read in verilog  
read_hdl -vhdl Five_Inverter.vhd  
## This creates a technology-independent schematic  
elaborate $DESIGN  
#####  
## Constraints Setup  
#####  
puts "The number of exceptions is [llength [find /designs/$DESIGN -exception *]]"
```

```

if {[file exists ${_OUTPUTS_PATH}]} {
    file mkdir ${_OUTPUTS_PATH}
    puts "Creating directory ${_OUTPUTS_PATH}"
}
if {[file exists ${_REPORTS_PATH}]} {
    file mkdir ${_REPORTS_PATH}
    puts "Creating directory ${_REPORTS_PATH}"
}
## Put in timing constraints
## we will use the SDC constraint format
## Our SDC commands must be placed into separate file.
read_sdc ./Five_Inverter.sdc
## This is where you can put in non-timing related constraints
## set_attribute avoid true FAX1
## Intermediate netlist for LEC verification.
write_hdl -lec > ${_OUTPUTS_PATH}/${DESIGN}_intermediate.v
write_do_lec -revised_design ${_OUTPUTS_PATH}/${DESIGN}_intermediate.v -logfile
${_LOG_PATH}/rtl2intermediate.lec.log > ${_OUTPUTS_PATH}/rtl2intermediate.lec.do
## Write out synthesized verilog netlist
write_design -basename ${_OUTPUTS_PATH}/${DESIGN}_m
write_hdl > ${_OUTPUTS_PATH}/${DESIGN}_m.v
write_script > ${_OUTPUTS_PATH}/${DESIGN}_m.script
## Write out the SDC file we will take into the place n route tool
write_sdc > ${_OUTPUTS_PATH}/${DESIGN}_m.sdc
## Write out area and timing reports
report area > ./Five_Inverter_area_report
report timing > ./Five_Inverter_timing_report
#write_sdf -no_escape -nonegchecks > Five_Inverter_net.sdf
write_sdf -nonegchecks -no_escape -edges check_edge > Five_Inverter_net.sdf
## Create a technology-dependent schematic
synthesize -to_mapped -eff $MAP_EFF -no_incr

```

Annexe E : Analyse et synthèse du capteur RO sous l'outil RTL

```
#####
## Analyse et synthèse générer par Mr Oukaira Aziz le 08 Février 2019
#####
Statistics for commands executed by read_sdc:

"create_clock"      - successful    0, failed    1 (runtime 0.00)
"get_port"         - successful    0, failed    1 (runtime 0.00)
"set_clock_uncertainty" - successful    0, failed    1 (runtime 0.00)

Layer   Capacitance /Length      Data source:
Name    Direction Utilization (pF/micron)  cap_table_file
-----
M1      H      1.00    0.000241
M2      V      1.00    0.000201
M3      H      1.00    0.000201
M4      V      1.00    0.000201
M5      H      1.00    0.000201
M6      V      1.00    0.000201
M7      H      1.00    0.000194
M8      V      1.00    0.000331
M9      H      1.00    0.000337
M10     V      1.00    0.000311 **

** = 'M10' is dropped because its width (3) is too large (threshold 2)

Layer   Resistance /Length      Data source:
Name    Direction Utilization (ohm/micron)  cap_table_file
-----
M1      H      1.00    2.292428
M2      V      1.00    1.672727
M3      H      1.00    1.672727
M4      V      1.00    1.672727
```

M5	H	1.00	1.672727
M6	V	1.00	1.672727
M7	H	1.00	1.672727
M8	V	1.00	0.067690
M9	H	1.00	0.067690
M10	V	1.00	0.011187 **

** = 'M10' is dropped because its width (3) is too large (threshold 2)

Layer Name	Direction	Area/Length Utilization	Data source: (micron) lef_library
M1	H	1.00	0.090000
M2	V	1.00	0.100000
M3	H	1.00	0.100000
M4	V	1.00	0.100000
M5	H	1.00	0.100000
M6	V	1.00	0.100000
M7	H	1.00	0.100000
M8	V	1.00	0.400000
M9	H	1.00	0.400000
AP	V	1.00	3.000000 **

Global mapping status

Operation	Area	Neg	Slk	Worst Path
global_map	87			0 N/A

Done mapping Five_Inverter

Synthesis succeeded.

Annexe F : Analyse et synthèse du capteur RO sous l'outil RTL

```
// Generated by Cadence Encounter(R) RTL Compiler RC10.1.306 - v10.10-s357_1
// Verification Directory fv/Five_Inverter

`timescale 1ps / 1ps

module Five_Inverter(clk, rst, inv_in, inv_out);
  input clk, rst, inv_in;
  output inv_out;
  wire clk, rst, inv_in;
  wire inv_out;
  wire [4:0] a_1;
  wire [4:0] a;
  wire n_1;

  not g1 (a_1[0], inv_in);

  not g2 (a_1[1], a[0]);
  not g3 (a_1[2], a[1]);
  not g4 (a_1[3], a[2]);
  not g5 (a_1[4], a[3]);
  CDN_flop inv_out_reg(.clk (clk), .d (a[4]), .sena (n_1), .aclr
    (1'b0), .apre (1'b0), .srl (1'b0), .srd (1'b0), .q (inv_out));
  CDN_flop \a_reg[0] (.clk (clk), .d (a_1[0]), .sena (n_1), .aclr
    (1'b0), .apre (1'b0), .srl (1'b0), .srd (1'b0), .q (a[0]));
  CDN_flop \a_reg[1] (.clk (clk), .d (a_1[1]), .sena (n_1), .aclr
    (1'b0), .apre (1'b0), .srl (1'b0), .srd (1'b0), .q (a[1]));
  CDN_flop \a_reg[2] (.clk (clk), .d (a_1[2]), .sena (n_1), .aclr
    (1'b0), .apre (1'b0), .srl (1'b0), .srd (1'b0), .q (a[2]));
  CDN_flop \a_reg[3] (.clk (clk), .d (a_1[3]), .sena (n_1), .aclr
    (1'b0), .apre (1'b0), .srl (1'b0), .srd (1'b0), .q (a[3]));
  CDN_flop \a_reg[4] (.clk (clk), .d (a_1[4]), .sena (n_1), .aclr
    (1'b0), .apre (1'b0), .srl (1'b0), .srd (1'b0), .q (a[4]));
  not g16 (n_1, rst);
```

```

endmodule

`ifdef RC_CDN_GENERIC_GATE

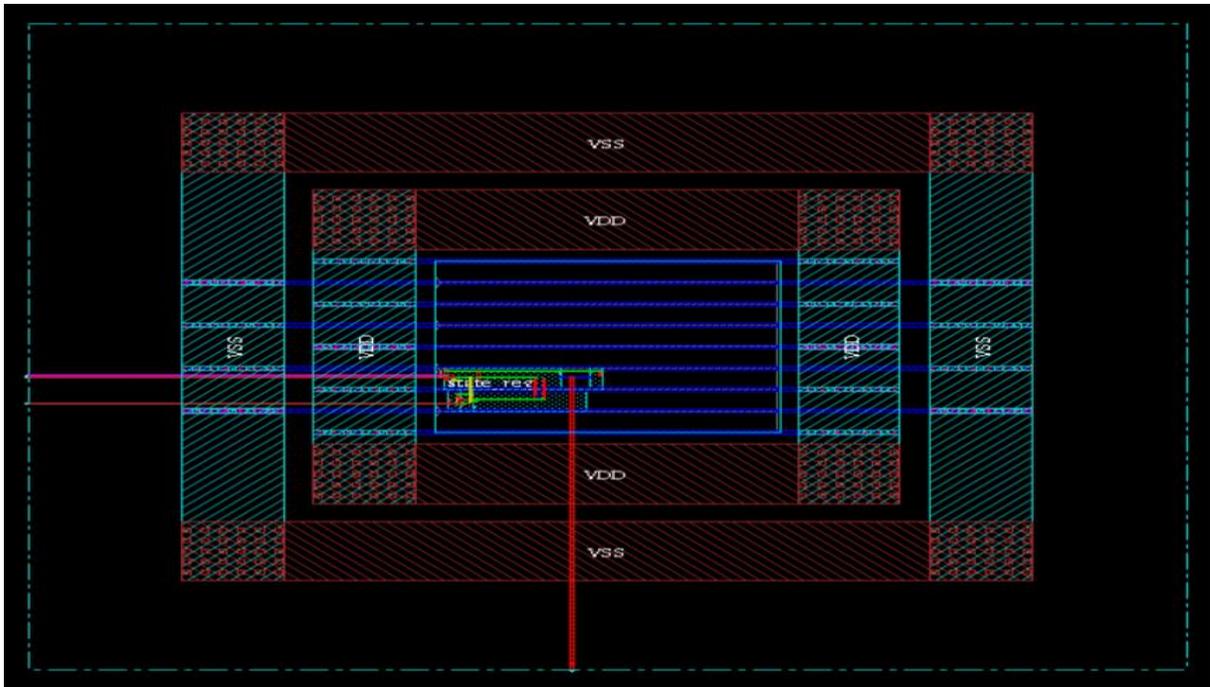
`else

module CDN_flop(clk, d, sena, aclr, apre, srl, srd, q);
input clk, d, sena, aclr, apre, srl, srd;
output q;
wire clk, d, sena, aclr, apre, srl, srd;
wire q;
reg qi;
assign #1 q = qi;
always
    @(posedge clk or posedge apre or posedge aclr)
        if (aclr)
            qi = 0;
        else if (apre)
            qi = 1;
        else if (srl)
            qi = srd;
        else begin
            if (sena)
                qi = d;
        end
initial
    qi = 1'b0;
endmodule

`endif

```

Annexe G : Placement et routage du capteur RO



Layout du capteur RO à la suite du placement et routage en technologie 65nm

```
# Analysis View: worst_analysis
***** Clock clock Post-Route Timing Analysis *****
Nr. of Subtrees           : 1
Nr. of Sinks              : 1
Nr. of Buffer             : 1
Nr. of Level (including gates) : 1
Root Rise Input Tran      : 0.1(ps)
Root Fall Input Tran      : 0.1(ps)
Max trig. edge delay at sink(R): state_reg/CP 28.8(ps)
Min trig. edge delay at sink(R): state_reg/CP 28.8(ps)

Rise Phase Delay          : 28.8~28.8(ps)      (Actual)      (Required)
Fall Phase Delay          : 33.1~33.1(ps)
Trig. Edge Skew          : 0(ps)      300(ps)
Rise Skew                 : 0(ps)
Fall Skew                 : 0(ps)
Max. Rise Buffer Tran.    : 0(ps)      400(ps)
Max. Fall Buffer Tran.    : 0(ps)      400(ps)
Max. Rise Sink Tran.     : 13.9(ps)  400(ps)
Max. Fall Sink Tran.     : 14.8(ps)  400(ps)
Min. Rise Buffer Tran.    : 0(ps)
Min. Fall Buffer Tran.    : 0(ps)
Min. Rise Sink Tran.     : 13.9(ps)  0(ps)
Min. Fall Sink Tran.     : 14.8(ps)  0(ps)

view worst_analysis : skew = 0ps (required = 300ps)

**** Local Skew Report ****
Total number of adjacent register pair : 1
Max. Local Skew           : 0(ps)
state_reg/CP(R)->
state_reg/CP(R)
```

Rapports de délais : Ce rapport nous informe du « skew » présent dans le circuit RO

Bibliographie

- [1] Wikipedia, (Avril 2011) Imagerie médicale, http://fr.wikipedia.org/wiki/Imagerie_m%C3%A9dicale. (page consultée le 18-04-2011).
- [2] Cherry, S. R. (2006). The 2006 Henry N. Wagner lecture: of mice and men (and positrons) advances in PET imaging technology, Society of Nuclear Medicine, [New York], V 47, No 11, p. 1735-1745.
- [3] Cherry, S. R. (2006). The 2006 Henry N. Wagner lecture: of mice and men (and positrons) advances in PET imaging technology, Society of Nuclear Medicine, [New York], V 47, No 11, p. 1735-1745.
- [4] Lecomte, R., Cadorette, J., Richard, P., Rodrigue, S. et Rouleau, D. (1994). Design and Engineering Aspects of a High-Resolution Positron Tomograph for Small Animal Imaging. IEEE Transactions on Nuclear Science, V 41, No 4, p. 1446-1452.
- [5] Lecomte, R., Cadorette, J., Richard, P., Rodrigue, S. et Rouleau, D., Bentourkia, M., Yao, R. et Msaki, P. (1996). Initial Results from the Sherbrooke Avalanche Photodiode Positron Tomograph. IEEE Transactions on Nuclear Science, V 43, No 3, p. 1952-1957.
- [6] Orla Slattery, Denis O' Mahoney, Eoin Sheehan, and Finbarr Waldron, "Sources of Variation in Piezoresistive Stress Sensor Measurements", IEEE Transaction on components and packaging technologies, Vol.27, No.1, March 2004, pp. 81-86.
- [7] R. Mahayan, R. Nair, V. Wakharkar, I Swan, J. Tang, and G. Vandentop, "Emerging directions for packaging technologies", Intel Technol. J., vol. 6, no. 2, pp. 1- 16, May 16th, 2002.
- [8] Stéphane Pinel, A. Mmly, I Tasselli, IP. Bailbe, E. Beyne, R. Van Hoof, S. Marco, Marta Rencz, J.R. Morante, et al., "Thermal Modeling and Management in Ultrathin Chip Stack Technology", IEEE Transaction on components and packaging technologies, Vol. 25, No. 2, June 2002, pp. 244-253.
- [9] Tung-Sheng Chen and Yu-Ren Huang, "Evaluation of MOS Devices as Mechanical Stress Sensors", IEEE Transaction on components and packaging technologies, Vol. 25, No. 3, September 2002, pp. 511-517.

- [10] Vladirnir Székely, Marta Rencz, Andras Pahi, Benard Courtois, "Thermal Monitoring and Testing of Electronic Systems ", IEEE Transaction on components and packaging technologies, Vol. 22, No. 2, June 1999, pp. 231-237.
- [11] J. C. Suhling, M. T. Carey, R.W. Johnson, and R. C. Jaeger, "Stress measurement in microelectronic packages subjected to high temperatures", in Proc. Manufact. Processes Mater. Challenges Microelectron. Packag, ASME Winter Annu. Meeting, Vol. EEP-I, December 1991, pp. 143-152.
- [12] O. Slattery, D. O'Mahoney, E. Sheehan, F. Waldron, and G. McCarthy, "Predicting thermomechanical stress using MESMERIC methodology", in Proc. 8th Intersoc. Conf. Thermal Thermomech. Phenom. Electron. Syst., San Diego, CA, May 30- June 2002, pp. 884-891.
- [13] Lecomte, R., Cadorette, J., Richard, P., Rodrigue, S. et Rouleau, D. (1994). "Design and Engineering Aspects of a High-Resolution Positron Tomography for Small Animal Imaging". IEEE Transactions on Nuclear Science, Vol. 41, No. 4, pp. 1446-1452.
- [14] Fontaine, R., Bélanger, F., J.B., Pratte, J.F., Robert, S., Lecomte, R., 2005. "Architecture of a dual modality, high-resolution, fully digital positron emission tomography/computed tomography (PET/CT) scanner for small animal imaging". IEEE Transactions on Nuclear Science, Vol. 52, No. 5, pp. 691-696.
- [15] Fontaine, R., Bélanger, F., Viscigliosi, N., Semmaoui, H., Tétrault, M.A., Pépin, C., Cardorette, J. et Lecomte, R., Michaud, J.B., 2005, "The architecture of LabPET a small animal APD-based digital PET scanner", IEEE Transactions on Nuclear Science, Vol. 41, No. 4, pp. 1446-1452.
- [16] Tétrault, M. A., Viscogliosi, N., Riendeau, J., Bélanger, F., Michaud, J.B., Semmaoui, H., Bérard, P., F. Lemieux, L.A., Cadorette, J., Pepin, C.M., Robert, G., Lepage, M.D., Lecomte, R., Fontaine, R., 2006, "System intégration of the LabPET TM small animal PET scanner", IEEE Nuclear Science Symposium Conférence Record, Vol. 3, No. 4, pp 1880-1884.

- [17] M. Bougataya, A. Lakhssassi, and D. Massicotte, "Steady State Thermomechanical Stress Prediction for Large VLSI circuits using GDS Method," in Electrical and Computer Engineering, 2006. CCECE '06. Canadian Conference on, 2006, pp. 1205-1209.
- [18] http://www.cfd-online.com/Wiki/Main_Page, Mars 2011.
- [19] Joe Iannelli, "Characteristics finite element methods in computational fluid dynamics", (page 1-72 et 107-121).
- [20] Robin L. Elder, Antonios Toulidakis, Martin K Yates, "Advances of CFD in fluid machinery design", (Page 13-17).
- [21] J. Turbomach, "Efficient Finite Element Analysis/Computational Fluid Dynamics Thermal Coupling for Engineering Applications", Vol. 132, No. 3, 031016 (9 pages), July 2010.
- [22] Marian Bubak, "Computational Science", ICCS 2004 : 4th International Conference on Computational Science, Partie 1, page (479-485).
- [23] Marian Bubak, "Computational Science", ICCS 2004 : 4th International Conference on Computational Science, Partie 1, page (479-485).
- [24] Eric Benoit, "Capteur symboliques et capteurs flous", un nouveau pas vers l'intelligence Thèse Université Joseph fournier - Grenoble 1998.
- [25] M. Bougataya, A. Lakhsasi, Y. Savaria and D. Massicotte "Mixed Fluid-Heat Transfer Approach for VLSI Steady State Thermal Analysis", IEEE/CCECE02 Proceedings; ISBN: 0-7803-7514-9, Winnipeg, Manitoba, Canada, Vol. 1, May 12-15, 2002.
- [26] Jacques HUETZ, Jean-Pierre PETIT. Notions de Transfer thermique par convection.
- [27] Joseph Fourier "Théorie analytique de la chaleur 1822".
- [28] A.C. METAXAS, Foundations of Electroheat: A Unified Approach, John Wiley & Sons, 1996, Extracted from Table 2.3 Page 35.
- [29] Bougataya, M, Lakhsasi, A, Savaria, Y & Massicotte, D, "Thermomechanical Stress Analysis of VLSI devices by partially coupled finite element methods", IEEE Proceedings; ISBN, pp. 509-513, (May. 2004).
- [30] Lakhssassi, A, M, Bougataya, "VLSI Thermal Analysis and Monitoring", In-Tech, Kirchengasse, A-1070 Vienna, Austria, pp. 441-456, (2009).

- [31] Lopez-Buedo, S, Garrido, J, & Boemo, E. I, “Dynamically inserting, operating, and eliminating thermal sensors of FPGA-based systems”, IEEE Transactions on components and packaging technologies, pp. 561-566, (2002).
- [32] Bougataya, M, Lakhsasi, A, & Massicotte, D, “VLSI thermo-mechanical stress analysis by gradient direction sensor method”, In Electrical and Computer Engineering, IEEE Canadian Conference, pp. 710-713, (May. 2015).
- [33] Janicki, M, Zubert, M, & Napieralski, A, “Application of inverse problem algorithms for integrated circuit temperature estimation”, Microelectronics journal, pp. 1099-1107, (1999).
- [34] Lopez-Buedo, S, & Boemo, E, “Making visible the thermal behaviour of embedded microprocessors on FPGAs: a progress report”, In Proceedings of the ACM/SIGDA 12th international symposium on Field programmable gate arrays, pp. 79-86, (2005).
- [35] Velusamy, S, Huang, W, Lach, J, Stan, M, & Skadron, K, “Monitoring temperature in FPGA based SoCs, In Computer Design: VLSI in Computers and Processors, Proceedings, IEEE International Conference, pp. 634-637, (Oct. 2005).
- [36] Wójciak, W., & Napieralski, A, “Thermal monitoring of a single heat source in semiconductor devices the first approach”, Microelectronics journal, pp. 313-316, (1997).
- [37] Lakhsasi A., Hamri Y., Skorek A. "Partially Coupled Electro-Thermal Analysis for Accurate Prediction of Switching Devices", CCECE 2001, The 2001 IEEE Canadian Confer. on Electrical and Computer Engineering, Toronto, Ontario, Canada, May 13-16, ISBN 0-7803-6715-2.
- [38] SANCHEZ, H., PHILIP, R., ALVAREZ, J., AND GEROSA, G., 1997, A CMOS température sensor for PowerPCTM RISC microprocessors, Symposium on VLSI Circuits Dig. Tech., pp. 13-14.
- [39] BAKKER, A., JOHANN H., 2000, High Resolution Smart CMOS Température Sensors, Kluwer Academic, pp 63-77.
- [40] ELPIDA, 2005, Low Power Function of Mobile RAM - Auto Température Compensated Self Refresh, Technical Note, <http://www.elpida.com/pdfs/E0599E20.pdf>. (page consultée le 30 avril 2010).

- [41] CAHOON, C., BAKER, R.J., 2008, Low-Voltage CMOS Temperature Sensor Design Using Schottky Diode-Based Références, IEEE Workshop on Microelectronics and Electron Devices, p. 16-19.
- [42] NATIONAL INSTRUMENTS, (2010), Mesure de température à l'aide d'une sonde RTD ou d'une thermistance. <http://zone.ni.com/devzone/cda/tut/p/id/8323>. (Page consultée le 20 avril 2010).
- [43] JANDHYALA, N., HE, L., JONES, M., 2008, CMOS based low cost Temperature Sensor, IEEE conférences, 9th International Symposium on Quality Electronic Design, p. 293-296.
- [44] E. Boemo and S. Lopez-Buedo, "Thermal verification on FPGAs," in NORCHIP Conference, 2005. 23rd, 2005, pp. 48-53.
- [45] Lopez-Buedo Sergio, Boemo Eduardo, "Making Visible the Thermal Behaviour of Embedded Microprocessors on FPGAs", A Progress Report. Computer Engineering Department, School of Engineering Universidad Autonoma de Madrid, Spain. 2004 ACM 1-58113-829-6/04.
- [46] Mohammed Bougataya, Ahmed Lakhsasi, Yvon Savaria and Danniell Massicotte "Thermomechanical Stress Analysis of VLSI devices by partially coupled finite element methods" IEEE/CCECE04 Proceedings; ISBN: 0-7803-8254-4, Niagara Falls, Canada, vol. 1, pp. 509-513, May 2-5, 2004.
- [47] S. S. Woo, J. H. Lee, & S. Cho, "A ring oscillator-based temperature sensor for U-healthcare in 0.13 μ CMOS," In SoC Design Conference (ISOCC) International IEEE, 2009, pp. 548-551.
- [48] S. Park, C. Min, & S. Cho, "A 95nW ring oscillator-based temperature sensor for RFID tags in 0.13 μ m CMOS," In Circuits and Systems, ISCAS 2009. IEEE International Symposium, 2009, pp. 1153-1156.
- [49] Shenghua, Zhou, and Wu Nanjian, "A novel ultra-low power temperature sensor for UHF RFID tag chip," IEEE Asian Solid-State Circuits Conférence, 2007, pp. 464-467.
- [50] Z. Cheng, X. Zheng, M. J. Deen, & H. Peng, "Recent developments and design challenges of high-performance ring oscillator CMOS time-to-digital converters," IEEE Transactions on Electron Devices, Vol. 63, No. 1, 2016, pp 235-251.

- [51] A. Ramazani, S. Biabani, G. Hadidi, “CMOS ring oscillator with combined delay stages,” *AEU-Int J Electron Commun*, Vol. 68, No. 6, 2014, pp. 515–519.
- [52] S. Suman, B.P. Singh, “Ring Oscillator Based CMOS Temperature Sensor Design,” *International Journal of Scientific & Technology Research*, Vol. 1, No. 4, 2012, pp 76-81.
- [53] Lakhsasi, Ahmed, Mohammed Bougataya, and Daniel Massicotte, “Practical approach to gradient direction sensor method in very large-scale integration thermomechanical stress analysis”, *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films* 24.3 (2006): 758-762. p. 758-762.
- [54] Lakhssassi, Ahmed and J, XU, “computer-assisted design in industrial electrochemistry”, *University of Québec in Trois-Rivieres*, 1997, p. 1-112.
- [55] Tsai, Huan-Liang and Lin, Jium-Ming, “Model building and simulation of thermoelectric module using Matlab/Simulink”, *Journal of Electronic Materials*, 2010, vol. 39, no 9, p. 2105-2111.
- [56] Oukaira, A., Ettahri, O., & Lakhssassi, A “Modeling and FPGA implementation of a thermal peak detection unit for complex system design”, *IJACSA) International Journal of Advanced Computer Science and Applications*, 2017, vol. 8, no 6, p. 307-312.